



Electronique intégrée pour le calorimètre électromagnétique du futur accélérateur linéaire

Samuel Manen

► To cite this version:

Samuel Manen. Electronique intégrée pour le calorimètre électromagnétique du futur accélérateur linéaire. Physique [physics]. Université Blaise Pascal - Clermont-Ferrand II, 2004. Français. NNT : . tel-00008033

HAL Id: tel-00008033

<https://theses.hal.science/tel-00008033>

Submitted on 12 Jan 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : D.U. 1532
EDSPIC : 307

PCCF T 0403

UNIVERSITÉ BLAISE PASCAL - CLERMONT II
ECOLE DOCTORALE
SCIENCES POUR L'INGÉNIEUR DE CLERMONT-FERRAND

THÈSE

Présentée par

Samuel MANEN

DESS de microélectronique analogique et microtechnologie, Université Blaise PASCAL

Pour obtenir le grade de

DOCTEUR D'UNIVERSITÉ

SPÉCIALITÉ : Matériaux et Composants pour l'Electronique

**Electronique intégrée pour le calorimètre
électromagnétique du futur accélérateur linéaire.**

Soutenue publiquement le 28 Octobre 2004 devant le Jury :

M. Alain BALDIT	Président
M. Yann HU	Rapporteur
M. Maurice PYÉE	Rapporteur
M. Gérard BOHNER	Examineur
M. Christophe DE LA TAILLE	Invité
M. Pascal GAY	Examineur
M. Jacques LECOQ	Directeur de Thèse

Remerciements

Dans un premier temps je voudrais remercier M. Bernard Michel, de son accueil au sein du Laboratoire de Physique Corpusculaire (LPC).

Je souhaite remercier, M. Alain Baldit, le directeur du laboratoire.

Un merci tout particulier à toute l'équipe du Futur Collisionneur Linéaire et notamment M. Pascal Gay, le responsable du projet au LPC, qui a su me faire confiance et m'a donné les moyens nécessaires au bon déroulement de ma thèse.

Merci à M. Maurice Pyée et M. Yann Hu qui ont accepté d'être rapporteurs pour cette thèse.

Ce travail de thèse est bien évidemment le fruit d'un travail d'équipe, sans laquelle les objectifs n'auraient pu être atteints. Le climat convivial et la bonne humeur générale ont été les clés de ces trois années passées au sein du laboratoire. Je souhaite donc remercier à travers ce manuscrit toute l'équipe de microélectronique et plus particulièrement mon Directeur de thèse, Jacques, pour ses précieux conseils mais aussi Gérard et Laurent, ingénieurs de recherche, pour leur aide à la réalisation des différents circuits.

Je n'oublierai pas de citer les deux stagiaires qui ont travaillé avec moi sur ce projet, Richard Vandaele, étudiant du DESS Microélectronique et Cédric Roche, étudiant en maîtrise d'électronique. Ceux-ci ont, en effet, apporté des solutions respectivement pour le convertisseur analogique numérique et le comparateur.

Je souhaite à travers ce manuscrit remercier l'équipe FLC du LAL et tout particulièrement Christophe pour son aptitude à expliquer très simplement des notions complexes.

Merci aussi au service électronique et surtout à Christian pour les câblages de grande qualité.

Enfin et bien sûr merci à mes parents, mais aussi Hélène et Aurélie qui m'ont toujours soutenus et, sans qui, je n'aurais pu réaliser ce travail.

Résumé

Le futur accélérateur linéaire à électrons est un nouveau défi technologique pour la communauté scientifique de la physique des particules. Le cahier des charges de l'électronique de lecture du calorimètre électromagnétique comporte plusieurs points critiques. En effet, les contraintes liées au coût, 34 millions de diodes silicium de 1 cm^2 , à l'encombrement, $0,2\text{ cm}^3$ par puce de 128 voies, à la consommation, $< 5\text{ mW}$ par voie, et à la dynamique, rapport de 32 000 entre le plus grand signal et le bruit, impliquent la mise en œuvre d'une électronique intégrée. Nous proposons une solution de traitement de l'information qui associera sur la même surface de silicium la partie traitement analogique et la conversion analogique numérique.

Plusieurs prototypes de circuits réalisés dans une technologie CMOS $0,35\text{ }\mu\text{m}$ nous ont permis de valider des éléments de l'architecture globale du système. Cette électronique se composera d'un préamplificateur de charge suivi d'un système multi-gain avec suppression en ligne des événements non significatifs et d'un convertisseur analogique numérique sur 10 bits. La mise en forme composant le système multi-gain sera réalisée avec un intégrateur à remise à zéro. Les résultats obtenus, qui répondent aux spécifications en temps et en dynamique du cahier des charges, confirment, à présent, la nécessité de mettre en place un système d'alimentation pulsé.

Abstract

Future linear collider is a new challenge for physics community. Several elements are very critical to develop the electronics of the electromagnetic calorimeter. However, integrated electronics is required due to cost constraint, 34 millions silicon diodes 1 cm^2 , integration constraint, 0.2 cm^3 per chip composed of 128 channels, consumption constraint, $< 5\text{ mW}$ per channel and dynamic constraint, 32,000 ratio between the higher signal and the noise. The electronics of the electromagnetic calorimeter will integrate in the same chip the analog part and the analog to digital converter.

Realization of prototypes in $0.35\text{ }\mu\text{m}$ CMOS technology have permitted to validate some elements of the global scheme. This electronics is made with a charge preamplifier followed by a multi-gain shaper with zero suppression and the analog to digital converter. The results obtained satisfy time and dynamic requirements but we must now put in place a pulsed power supply to respect constraint consumption.

Table des matières

Liste des tableaux	vii
Liste des figures	x
Introduction	1
I Le Futur Collisionneur Linéaire	3
1 Cadre général du projet	5
1.1 Une nouvelle génération de collisionneur	5
1.2 Le calorimètre électromagnétique	9
1.3 Les points essentiels du cahier des charges	14
2 Structure de l'électronique du calorimètre électromagnétique	15
2.1 La technologie à utiliser pour développer les prototypes	15
2.2 Les méthodes de mise en forme de l'information	18
2.3 Les solutions pour obtenir 15 bits de dynamique	20
2.4 La conversion analogique numérique	21
2.5 Schéma global de l'électronique de traitement	22
2.6 Le préamplificateur et le bruit	23
2.7 Mise en forme du signal provenant du détecteur	26
2.8 Le système multi-gain	34
2.9 La suppression des évènements non significatifs	34
2.10 Le multiplexeur	34
2.11 La mémoire analogique	35
2.12 Le convertisseur analogique numérique	35
2.13 Codage du flot de données et consommation	35
II Conception des briques de base	37
3 Propriétés physiques et technologiques du transistor MOS	39
3.1 Régimes de fonctionnement des transistors MOS	39
3.2 Modèle en petit signal du transistor MOS	43
3.3 Caractéristiques techniques des transistors MOS suivant la technologie utilisée	44
4 L'amplificateur différentiel CMOS	49
4.1 Généralités sur les amplificateurs	49
4.2 Caractéristiques techniques de l'amplificateur	50
4.3 Structure générale du montage	50

4.4	L'amplificateur développé en technologie 0,8 μm BiCMOS	57
4.5	L'amplificateur développé en technologie 0,35 μm CMOS CSI	66
4.6	Prochaines itérations sur l'amplificateur	73
5	Le comparateur	75
5.1	Rappels sur les comparateurs	75
5.2	Structure de base du montage	75
5.3	Le comparateur développé en 0,8 μm BiCMOS	78
5.4	Le comparateur développé en 0,35 μm CMOS	87
5.5	Nouvelles investigations et améliorations en cours sur le comparateur	90
6	Le convertisseur analogique numérique pipeline 10 bits	93
6.1	Caractéristiques d'un ADC	93
6.2	Les principales architectures de conversion analogique numérique	97
6.3	Choix d'une structure de convertisseur	101
6.4	Bibliographie sur les différentes réalisations de convertisseur analogique numérique de type pipeline	102
6.5	Structure interne du schéma	103
6.6	L'ADC développé en 0,35 μm CMOS CSI	111
6.7	L'ADC développé en 0,35 μm CMOS C35B4	119
6.8	Améliorations à envisager	121
	Conclusion	123
	Bibliographie	127
III	Annexes	129
A	Calcul des intégrales pour un filtrage CRRC²	131
B	Calcul des intégrales pour l'intégrateur switché	133
C	L'intégrateur en 0,8 μm BiCMOS	135
D	Les comparateurs en 0,8 μm BiCMOS	137
E	La puce 0,35 μm CMOS CSI	139
F	L'ADC en 0,35 μm CMOS C35B4	141

Liste des tableaux

1.1	<i>Tableau comparatif des trois versions proposées</i>	5
3.1	<i>Le transistor NMOS en technologie 0,8 μm BiCMOS.</i>	44
3.2	<i>Le transistor PMOS en technologie 0,8 μm BiCMOS.</i>	45
3.3	<i>Le transistor NMOS en technologie 0,35 μm CMOS.</i>	46
3.4	<i>Le transistor PMOS en technologie 0,35 μm CMOS.</i>	46
3.5	<i>Le transistor NMOS en technologie 0,35 μm CMOS C35.</i>	47
3.6	<i>Le transistor PMOS en technologie 0,35 μm CMOS C35.</i>	47
4.1	<i>Caractéristiques de l'amplificateur développé en technologie 0,8 μm BiCMOS.</i>	58
4.2	<i>Variations de la tension de sortie en fonction de l'entrée.</i>	64
4.3	<i>Offset de l'intégrateur.</i>	64
4.4	<i>Caractéristiques de l'amplificateur développé en technologie 0,35 μm CMOS.</i>	67
4.5	<i>Variations de la tension de sortie en fonction de l'entrée avec un gain de 100.</i>	69
4.6	<i>Variations de l'offset et du gain sur les dix puces.</i>	70
4.7	<i>Caractéristiques de l'amplificateur en technologie 0,35 μm CMOS C35B4.</i>	73
5.1	<i>Caractéristiques générales du comparateur en simulation.</i>	79
5.2	<i>Caractéristiques du comparateur avec entrées différentielles bipolaires.</i>	81
5.3	<i>Caractéristiques générales du comparateur en simulation.</i>	82
5.4	<i>Caractéristiques du comparateur avec entrées différentielles MOS.</i>	84
5.5	<i>Caractéristiques générales du comparateur en simulation.</i>	87
5.6	<i>Offset du comparateur avec entrées différentielles MOS.</i>	89
6.1	<i>Comparaison des performances de convertisseur pipeline.</i>	102
6.2	<i>Mesures du gain 2 de l'amplificateur bouclé en capacitif.</i>	109
6.3	<i>Gain et offset de l'amplificateur.</i>	109
6.4	<i>Codage théorique et en simulation de l'ADC.</i>	113
6.5	<i>Ecart type pour chaque convertisseur.</i>	118
6.6	<i>Codage théorique et en simulation parasitique de l'ADC.</i>	121

Table des figures

1.1	<i>Les éléments essentiels de l'accélérateur TESLA</i>	6
1.2	<i>Structure temporelle du faisceau $e^+ e^-$.</i>	7
1.3	<i>Structure générale du détecteur</i>	8
1.4	<i>Vue 3D du calorimètre électromagnétique</i>	8
1.5	<i>Evènement $e^+ e^-$ dans le calorimètre.</i>	10
1.6	<i>Vue 2D des calorimètres</i>	10
1.7	<i>Barette de 160 cm de longueur et 9 cm de large.</i>	11
1.8	<i>Polarisation de la diode.</i>	12
1.9	<i>La diode avec sa capacité de couplage et sa résistance de polarisation.</i>	12
1.10	<i>Emplacement de l'électronique de premier niveau.</i>	14
2.1	<i>Système à compresseur non linéaire.</i>	20
2.2	<i>Système multi-gain linéaire.</i>	21
2.3	<i>Synoptique d'une conversion le plus tôt possible.</i>	22
2.4	<i>Synoptique d'une conversion le plus tard possible.</i>	22
2.5	<i>Schéma de principe de l'électronique de traitement.</i>	23
2.6	<i>Bruit ramené en entrée du préamplificateur.</i>	24
2.7	<i>Bruit en sortie du préamplificateur.</i>	25
2.8	<i>Filtrage CRRC².</i>	26
2.9	<i>Filtrage par l'intégrateur avec remise à zéro.</i>	31
2.10	<i>Schéma de principe de la mémoire analogique.</i>	35
3.1	<i>Régimes de fonctionnement des transistors MOS.</i>	40
3.2	<i>Le transistor NMOS.</i>	41
3.3	<i>Le transistor PMOS.</i>	42
3.4	<i>Modèle équivalent en petit signal du transistor MOS.</i>	43
4.1	<i>Amplificateur différentiel avec compensation de mode commun.</i>	51
4.2	<i>Paire différentielle avec charge active.</i>	52
4.3	<i>Architecture de type rail à rail en entrée et en sortie.</i>	53
4.4	<i>Variation de la transconductance de l'étage d'entrée.</i>	54
4.5	<i>Synoptique de l'amplificateur.</i>	56
4.6	<i>L'amplificateur développé en technologie 0,8 μm</i>	57
4.7	<i>Résultats de simulation : gain et phase.</i>	59
4.8	<i>Variation de la transconductance des paires différentielles d'entrées.</i>	60
4.9	<i>Amplificateur en intégrateur avec remise à zéro.</i>	60
4.10	<i>Analyse paramétrique de l'intégrateur.</i>	61
4.11	<i>Résultats observés sur la puce.</i>	63
4.12	<i>Mesure de linéarité de l'intégrateur en 0,8 μm.</i>	64
4.13	<i>Offset de l'intégrateur en 0,8 μm.</i>	65
4.14	<i>Architecture de l'amplificateur en technologie 0,35 μm.</i>	66
4.15	<i>Variation de la transconductance des paires différentielles d'entrées.</i>	68

4.16	<i>Simulation de l'amplificateur en gain 100 : gain et phase.</i>	68
4.17	<i>Linéarité de l'amplificateur en gain 100.</i>	70
4.18	<i>Dispersion de l'offset en gain 100.</i>	71
4.19	<i>Dispersion de gain de l'amplificateur.</i>	71
4.20	<i>Analyse monte carlo.</i>	72
5.1	<i>Schéma de principe du comparateur.</i>	76
5.2	<i>Paire différentielle d'entrée cascodée.</i>	77
5.3	<i>Mémoire dynamique en sortie du comparateur.</i>	77
5.4	<i>Comparateur avec entrées bipolaires.</i>	78
5.5	<i>Simulation schématique : mesure de la sensibilité.</i>	79
5.6	<i>Simulation schématique : mesure de l'offset.</i>	80
5.7	<i>Dispersion des offsets en test.</i>	81
5.8	<i>Comparateur avec entrées MOS.</i>	82
5.9	<i>Simulation schématique : mesure de la sensibilité.</i>	83
5.10	<i>Simulation parasitique : mesure de l'offset.</i>	83
5.11	<i>Dispersion des offsets en test.</i>	85
5.12	<i>Offset d'une paire différentielle.</i>	85
5.13	<i>Dispersion des offsets des paires différentielles d'entrée MOS et bipolaires à l'aide d'une simulation monte carlo</i>	86
5.14	<i>Comparateur avec entrées MOS.</i>	87
5.15	<i>Simulation schématique : mesure de la sensibilité.</i>	88
5.16	<i>Simulation parasitique : mesure de l'offset.</i>	88
5.17	<i>Dispersion des offsets en test.</i>	89
5.18	<i>Simulation schématique : mesure de la sensibilité.</i>	90
5.19	<i>Simulation parasitique : mesure de l'offset.</i>	91
6.1	<i>DNL et INL d'un convertisseur analogique numérique 4 bits.</i>	94
6.2	<i>Convertisseur flash 3 bits.</i>	97
6.3	<i>Convertisseur demi-flash 6 bits.</i>	98
6.4	<i>Convertisseur multi-flash.</i>	98
6.5	<i>Convertisseur à approximations successives.</i>	99
6.6	<i>Convertisseur pipeline.</i>	99
6.7	<i>Convertisseur dynamique cyclique.</i>	100
6.8	<i>Convertisseur sigma-delta.</i>	100
6.9	<i>Convertisseur à rampe.</i>	101
6.10	<i>Schéma de principe du convertisseur analogique numérique.</i>	103
6.11	<i>Bloc principal de l'amplificateur en gain 2.</i>	105
6.12	<i>Simulation du gain 2 en temporel</i>	106
6.13	<i>Dessin d'une capacité.</i>	107
6.14	<i>Dessin des capacités en gain 2.</i>	108
6.15	<i>Linéarité du gain 2.</i>	110
6.16	<i>Structure globale du convertisseur analogique numérique.</i>	111
6.17	<i>Les entrées et sorties de l'ADC.</i>	111
6.18	<i>Résultat de simulation parasitique sur 10 bits.</i>	112
6.19	<i>Carte PCB du convertisseur.</i>	114
6.20	<i>Procédure de test du convertisseur analogique numérique.</i>	114
6.21	<i>Chronogramme des signaux d'entrées du convertisseur.</i>	115
6.22	<i>Horloge du système obtenue à partir de niveaux ECL.</i>	116
6.23	<i>Trois étapes pour obtenir le signal d'entrée.</i>	116
6.24	<i>Signal d'entrée de l'ADC.</i>	117
6.25	<i>Signal de référence de l'ADC.</i>	117
6.26	<i>Linéarité de l'ADC.</i>	118

6.27 <i>Dessin des capacités réalisant le gain 2.</i>	119
6.28 <i>Résultat de simulation parasitique des 10 bits de l'ADC.</i>	120

Introduction

La physique des particules recherche à explorer le monde de l'infiniment petit. Pour vérifier les différentes hypothèses émises à propos de la structure de la matière, des collaborations internationales sont mises en place. Parmi ces dernières nous pouvons parler du LEP ¹ qui a permis d'expliquer et de valider le modèle standard. Pour les années à venir, le LHC ² sera mis en route et permettra à son tour de découvrir de nouvelles particules. L'enjeu sera donc de faire évoluer la théorie de référence qui est le modèle standard vers une théorie regroupant les 4 forces que sont l'interaction forte, faible, électromagnétique et la gravité.

La machine au delà du LHC, sera un accélérateur linéaire nouvelle génération. Dans l'immédiat, nous sommes dans une phase de recherche et développement qui nous permettra de valider certaines architectures au niveau de l'électronique du calorimètre électromagnétique, sujet de la thèse. Ce dernier fait partie d'un ensemble de détecteurs destiné à analyser les signaux issus des différentes collisions $e^+ e^-$. Ce projet de collisionneur linéaire est l'objet d'importantes recherches au niveau mondial. Pour le moment plusieurs versions d'accélérateurs existent. On recense deux technologies, une première version américaine portant le nom de NLC ³ et une seconde version japonaise appelée JLC ⁴ sont basées sur une technologie dite "chaude". Une seconde technologie dite froide, TESLA ⁵, est aussi proposée par l'Europe.

Ce document comporte trois parties.

La première présentera la machine de façon globale et les points essentiels du cahier des charges. Une rapide description de l'ensemble des détecteurs sera faite puis nous aborderons plus particulièrement la structure du calorimètre électromagnétique, détecteur pour lequel nous proposerons une chaîne de traitement de l'information.

La deuxième partie du document proposera une structure globale de l'électronique de traitement. Le signal issu du capteur, qui est une diode silicium, sera filtré. Deux possibilités de filtrage de l'information seront présentées : un filtrage "classique" avec

¹Large Electron Positron.

²Large Hadron Collider.

³New Linear Collider

⁴Japan Linear Collider

⁵Tera electron volt Energy Superconducting Linear Accelerator

préamplificateur de charge et mise en forme de type CRRC², et une deuxième possibilité novatrice dans le domaine, à l'aide d'un intégrateur à remise à zéro. Ces données filtrées seront ensuite multiplexées puis stockées dans une mémoire analogique. Enfin, un convertisseur analogique numérique fournira une donnée sur 10 bits. Une description détaillée des différents éléments constituant cette chaîne sera faite ainsi que les avantages et les inconvénients de chacune des deux méthodes de filtrage.

Enfin, une troisième partie décrira les briques de base qui ont été développées au LPC. Dans un premier temps, quelques rappels fondamentaux seront faits sur les transistors CMOS, éléments essentiels de nos différents schémas. Le premier bloc décrit sera un intégrateur à remise à zéro très faible consommation. Cet amplificateur développé au laboratoire, assurera un filtrage analogique de l'information. Les caractéristiques principales de ce bloc sont une faible consommation et une grande dynamique. Le premier prototype a été fondu dans une technologie éprouvée 0,8 μm BiCMOS de chez Austriamicrosystems. Puis, un deuxième prototype dans une technologie plus récente 0,35 μm CMOS a été réalisé. Les différents résultats et caractéristiques seront exposés. Le second bloc décrit présentera une structure de comparateur qui sera utilisée dans le convertisseur analogique numérique. Deux prototypes ont été réalisés en technologie 0,8 μm BiCMOS et 0,35 μm CMOS. Enfin, le troisième bloc sera un convertisseur analogique numérique pipeline 10 bits à sortie parallèle. Les éléments essentiels de ce convertisseur sont le comparateur et l'amplificateur de la mise en forme bouclé en gain 2 avec des capacités. Deux prototypes ont été développés (dont un en cours de fabrication) en technologie 0,35 μm CMOS et les résultats seront présentés.

Pour conclure, nous dresserons un bilan de ce qui a été fait au cours des travaux de thèse et nous aborderons les différentes perspectives à court et moyen terme.

Première partie

Le Futur Collisionneur Linéaire

Chapitre 1

Cadre général du projet

1.1 Une nouvelle génération de collisionneur

Trois projets d'accélérateurs linéaires émergent actuellement, une version européenne TESLA (cf figure 1.1), une américaine (NLC) et une troisième version japonaise (JLC). Le tableau 1.1 présente un bref bilan des caractéristiques de chaque projet. Le cadre de ce travail adopte les contraintes liées au projet TESLA.

	TESLA	NLC	JLC-X
Gamme d'énergie	90 GeV - 1 TeV	90 GeV - 1,3 TeV	90 GeV - 1,3 TeV
Technologie	L-band(1,3 Ghz)	X-band (11,4 Ghz)	X-band
Longueur totale	33 km	14 km	17 km
Train	950 μ s	268,8 ns	268,8 ns
Nombre de collisions par train	2820	192	192
Intervalle entre deux collisions	337 ns	1,4 ns	1,4 ns
Fréquence de répétition	5 Hz	100-150 Hz	100 Hz

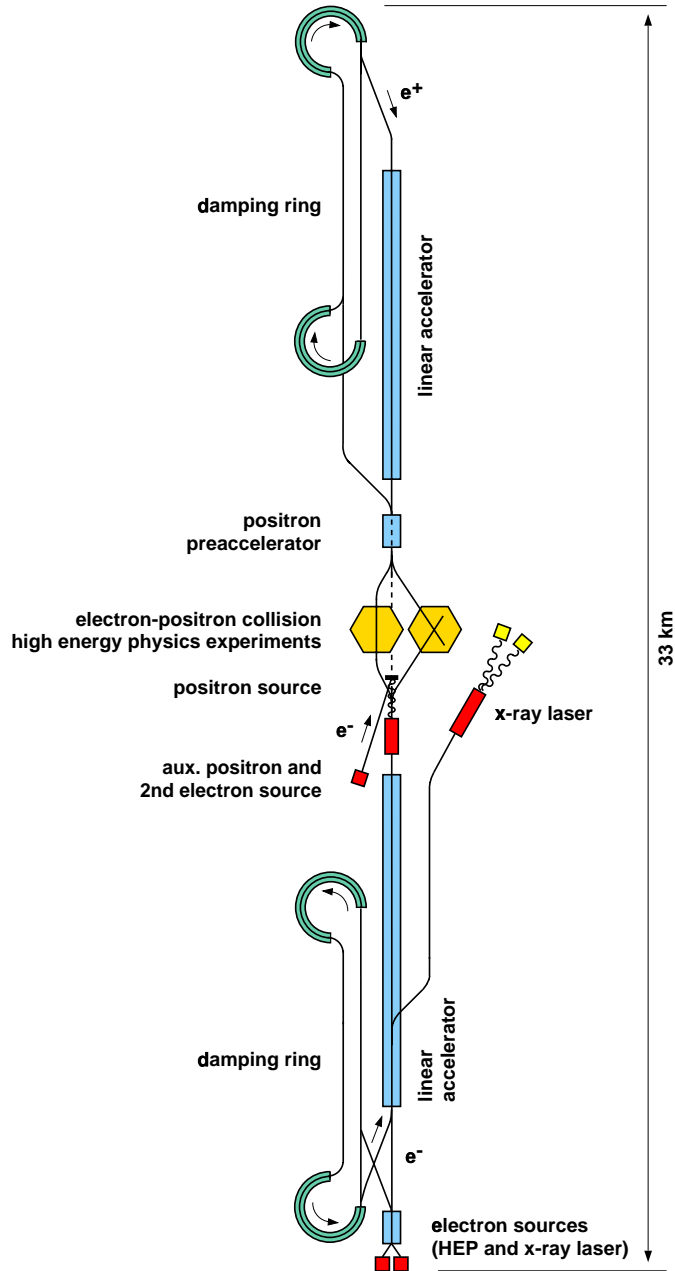
TAB. 1.1 – *Tableau comparatif des trois versions proposées*

1.1.1 L'accélérateur

TESLA [3, 4] est un projet d'accélérateur linéaire à électrons fonctionnant dans une gamme d'énergie allant d'environ 91 GeV(pic du Z) jusqu'à une énergie ultime proche du TeV. La longueur de cet accélérateur est de 33 km. Il est constitué de deux accélérateurs linéaires de 15 km chacun situés à une profondeur de 10 à 30 m sous terre dans un tunnel d'approximativement 5 m de diamètre. Son architecture est composée de cavités accélératrices supraconductrices fonctionnant à une température de 2 K qui permettront

CHAPITRE 1. CADRE GÉNÉRAL DU PROJET

d'atteindre des luminosités allant jusqu'à $7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$. Par contre, les versions japonaises et américaines prévoient un fonctionnement à température ambiante.



H.Weise 3/2000

FIG. 1.1 – *Les éléments essentiels de l'accélérateur TESLA*

1.1. UNE NOUVELLE GÉNÉRATION DE COLLISIONNEUR

1.1.2 La fréquence de collision $e^+ e^-$

De l'ensemble des caractéristiques, le point essentiel pour ce qui concerne l'électronique est l'intervalle de croisement des paquets. En effet, il est directement lié à la fréquence et donc à la température de fonctionnement. Dans la version froide (TESLA), ce temps de croisement est de 337 ns, ce qui représente un grand avantage vis à vis de la version "chaude" (1,4 ns). Et même, si pour des motivations liées à l'augmentation de la luminosité, il faudrait diminuer ce temps à une valeur deux fois moindre (ie 150 ns), cela ne nuit en rien aux aspects avantageux de cette technologie.

La fréquence de croisement des paquets $e^+ e^-$ peut être représentée selon la figure 1.2. Nous savons qu'un train de paquets électrons-positrons, correspond à 3000 collisions. Ces collisions se produisent toutes les 337 ns ce qui nous laisse 200 ns pour traiter l'information et 137 ns pour initialiser le système et recevoir l'information suivante. Les trains de collisions sont envoyés avec une périodicité de 200 ms. D'un point de vue de l'électronique, ce système est lent. Le temps disponible entre chaque train, 199 ms, permettra aisément de numériser l'information.

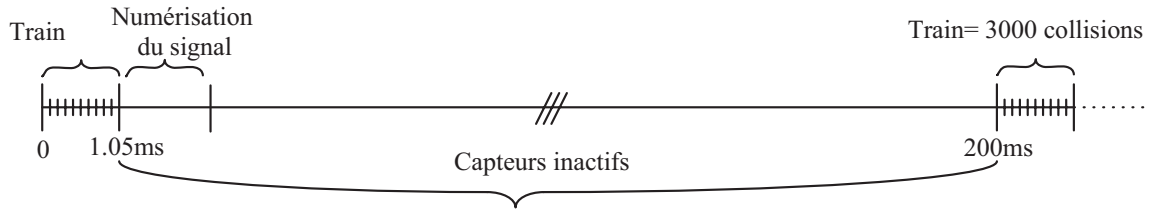


FIG. 1.2 – *Structure temporelle du faisceau $e^+ e^-$.*

1.1.3 Le détecteur

La figure 1.3 [4] donne une coupe du détecteur typique envisagé pour analyser les données issues des collisions $e^+ e^-$. Il est composé d'un ensemble de sous détecteurs disposés de manière concentrique. Autour du faisceau $e^+ e^-$ se trouve un tube à vide de 2 cm de diamètre. Ces deux faisceaux se collisionnent et engendrent ainsi des particules élémentaires que l'on va analyser. Les physiciens souhaitent recueillir un maximum d'informations au moment de chaque collision. Ils veulent détecter aussi bien les particules chargées que les particules neutres. Pour ce faire, le détecteur doit être hermétique afin de collecter les particules dans tout l'angle solide. Il faut donc minimiser les zones non instrumentées.

Une architecture éventuelle sera composée d'un trajectographe (TPC ¹, détecteur de vertex et détecteur sur l'avant) entouré des deux calorimètres.

¹Temporary Projective chamber : Chambre à projection temporelle.

CHAPITRE 1. CADRE GÉNÉRAL DU PROJET

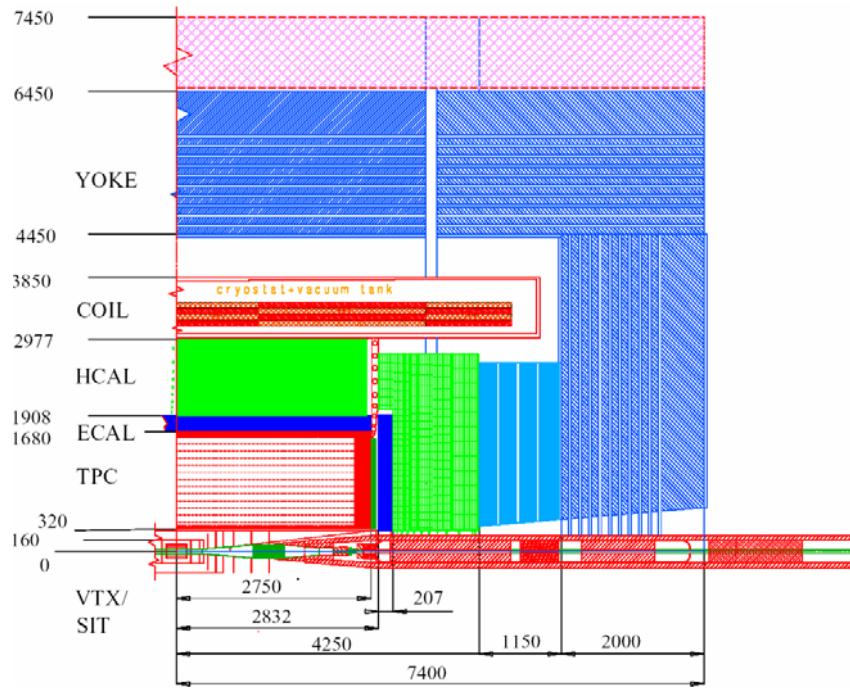


FIG. 1.3 – *Structure générale du détecteur*

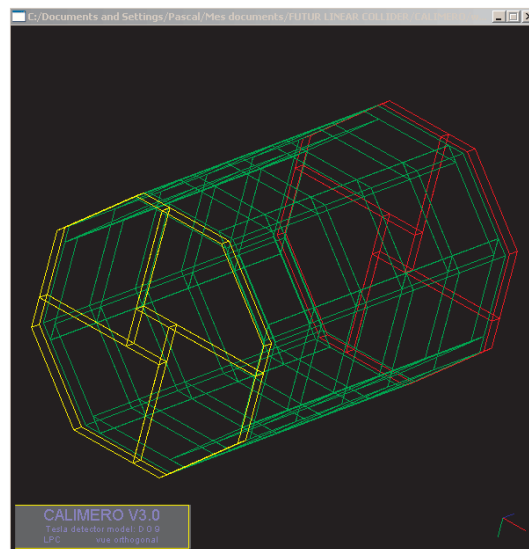


FIG. 1.4 – *Vue 3D du calorimètre électromagnétique*

1.2. LE CALORIMÈTRE ÉLECTROMAGNÉTIQUE

En revanche, un champ magnétique de quatre Teslas étant nécessaire pour maintenir le bruit de fond machine dans le tube à vide, l'aimant est relativement épais, de l'ordre de $1,5 \times$ la longueur d'interaction. Dans ces conditions, il faut impérativement placer les calorimètres électromagnétique et hadronique dans le solénoïde de l'aimant.

Les recherches et développements sur les calorimètres font l'objet d'une collaboration internationale appelée CALICE ² regroupant plusieurs laboratoires. La partie calorimétrie est composée de deux sous-ensembles :

- Le calorimètre électromagnétique mesure l'énergie des électrons et des photons. La particule est détruite et dépose ainsi son énergie dans le calorimètre sur les couches successives. Une gerbe électromagnétique est créée dans le radiateur (tungstène). Cette énergie est échantillonnée grâce aux capteurs silicium intercalés entre chaque couche de tungstène.
- Le calorimètre hadronique échantillonne l'énergie des hadrons (particules contenant des quarks, telles que les protons et les neutrons) qui interagissent avec les noyaux des atomes.

En résumé, les performances globales du détecteur seront les suivantes, hermétique aux petits angles polaires, excellente résolution en énergie, excellente résolution angulaire et compact car il faut laisser de la place à la TPC.

1.2 Le calorimètre électromagnétique

Le but de ce détecteur est de mesurer l'énergie et la position des particules. Pour ce faire, le calorimètre doit remplir deux fonctions successives :

- Il faut faire perdre de l'énergie aux particules. Le matériau composant le calorimètre doit être de nature absorbante pour les particules à mesurer (tungstène).
- Il faut mesurer l'énergie perdue par ces particules. Le calorimètre doit donc contenir un matériau (capteurs silicium) qui permet la conversion de leur énergie déposée en une grandeur mesurable au moyen d'un système électronique.

1.2.1 Structure générale du calorimètre

Un calorimètre électromagnétique à fine granularité et largement segmenté est proposé pour mesurer l'énergie des électrons et des photons. Un tel calorimètre peut être réalisé par la solution du sandwich tungstène-silicium, le tungstène sert à l'absorption et le silicium sert à la mesure. Avec des pavés de $1 \text{ cm} \times 1 \text{ cm}$ et 40 couches de lecture, c'est une quasi-chambre à bulle pour les gerbes électromagnétiques. Pour cette raison, ce détecteur est appelé un "Tracker Calorimeter". Il fournit une image claire de l'ensemble des particules (traces chargées, photons et hadrons neutres) participant au processus physique.

Le calorimètre électromagnétique suit une géométrie cylindrique faite d'un tambour de diamètre 3,4 m et de longueur 5,6 m. Il est décomposé en deux sous blocs, le tonneau

²Calorimeter for the LInear Collider with Electrons

CHAPITRE 1. CADRE GÉNÉRAL DU PROJET

et les deux bouchons :

- Le tonneau est composé de huit barres qui sont elle mêmes composées de cinq modules.
- Les deux bouchons permettent de rendre le barril hermétique et sont faits de quatre modules chacun. Les figures 1.6 et 1.5 présente une visualisation d'un évènement produit par le logiciel CALIMERO développé au LPC.

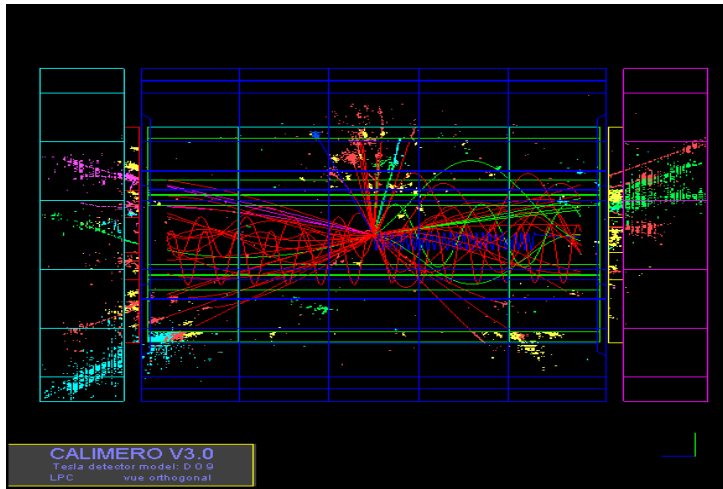


FIG. 1.5 – *Evènement $e^+ e^-$ dans le calorimètre.*

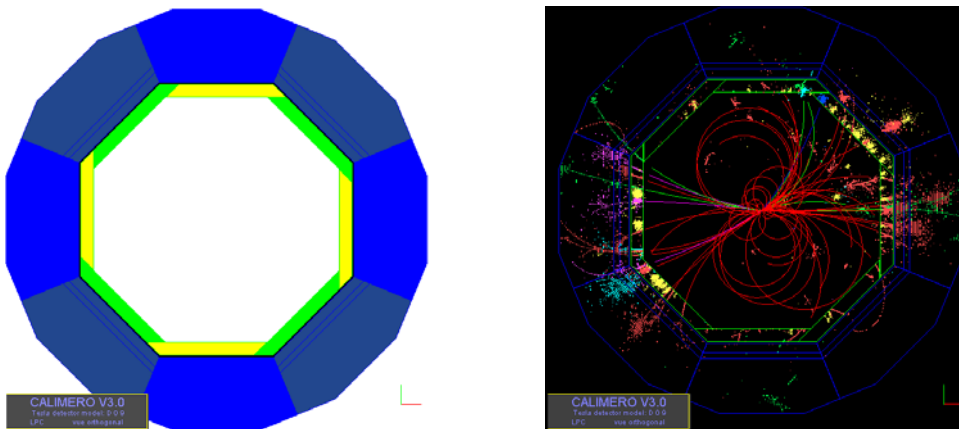


FIG. 1.6 – *Vue 2D des calorimètres*

1.2. LE CALORIMÈTRE ÉLECTROMAGNÉTIQUE

Au total, c'est donc 48 modules qui composent le calorimètre électromagnétique. Un module est l'association de 40 couches de silicium empilées selon la structure silicium-tungstène (soit une épaisseur de 18,4 cm) ainsi que de 12 barettes accolées. Une barette, représentée figure 1.7, correspond à 1440 capteurs de 1 cm^2 de surface.

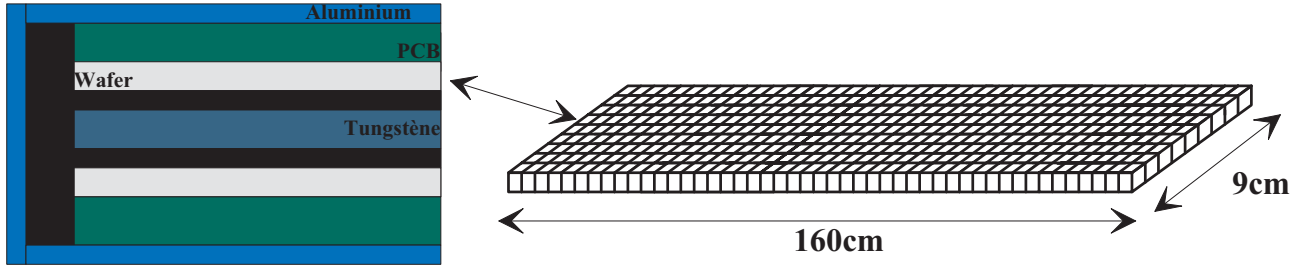


FIG. 1.7 – Barette de 160 cm de longueur et 9 cm de large.

On aura donc par module $1440 \times 12 \times 40 = 691200$ capteurs. Pour tout le calorimètre qui est composé au total de 48 modules, il y aura 33.168.000 capteurs, soit 3300 m^2 de silicium.

1.2.2 Caractéristiques des diodes silicium composant le détecteur

La structure interne du détecteur est une diode au silicium dont les caractéristiques sont les suivantes [1] :

- épaisseur de $500 \mu\text{m}$,
- aire de la diode de l'ordre de 1 cm^2 ,
- capacité par diode = 25 pF ,
- courant de fuite $< 30 \text{ nA}$ (à 300 K),
- tension de polarisation de 200 V en valeur absolue.

1.2.3 Polarisation de la diode

Comme nous pouvons le constater sur la figure 1.8, la diode est polarisée en inverse. Sa zone de charge d'espace est d'autant plus importante que la tension de polarisation est négative. La barrière de potentiel augmente ainsi que le champ électrique au borne de la zone de charge d'espace Z_{ce} . Cette augmentation du champ électrique est issue d'un accroissement de la charge d'espace Q de la Z_{ce} . Lorsqu'une particule de type électron arrive sur la diode, il se produit une modulation dQ de la charge d'espace Q conduisant à un courant dI . Ces impulsions de courant sont ensuite transmises au préamplificateur de charge qui réalise une première intégration du signal.

CHAPITRE 1. CADRE GÉNÉRAL DU PROJET

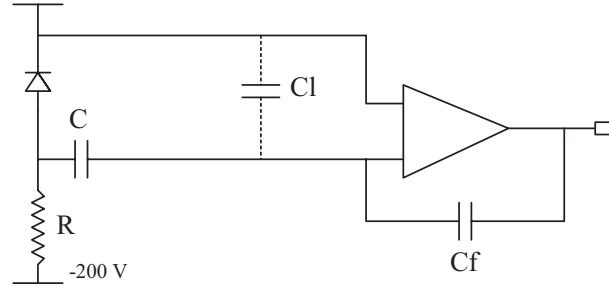


FIG. 1.8 – *Polarisation de la diode.*

Dans notre cas, le courant de liaison n'est pas transmis au préamplificateur. L'avantage d'utiliser un couplage alternatif est le suivant : lorsque l'une des diodes meurt, les autres ne sont pas sensibles à la haute tension. Pour réaliser cette capacité, il est possible de déposer une fine couche de silicium amorphe directement sur la diode. Etant donné l'aire de chaque diode (1 cm^2), on se limitera à une capacité de $0,75 \text{ cm}^2$ de surface. De plus, afin de conserver l'isolation, une épaisseur de $2 \mu\text{m}$ est nécessaire, ce qui correspond à :

$$C = \frac{\varepsilon_0 \times \varepsilon_r \times S}{e} = \frac{8,854 \cdot 10^{-16} \times 3,9 \times 7,5 \cdot 10^{-5}}{2 \cdot 10^{-6}} = 1,3 \text{ nF}$$

Ce condensateur sera ainsi proche de la diode et la charge collectée ne dépendra pas de la capacité du fil (C_l) estimée à 40 pF ³. En ce qui concerne la résistance de polarisation, une couche de silicium haute résistivité d'épaisseur $2 \mu\text{m}$ sera utilisée. Ces résistances seront connectées ensemble au même point de polarisation, c'est à dire -200 V . On trouve ainsi :

$$R = \frac{\rho \times L}{S} = \frac{10^{11} \times 2 \cdot 10^{-4}}{0,2 \times 0,98} = 102 \text{ M}\Omega$$

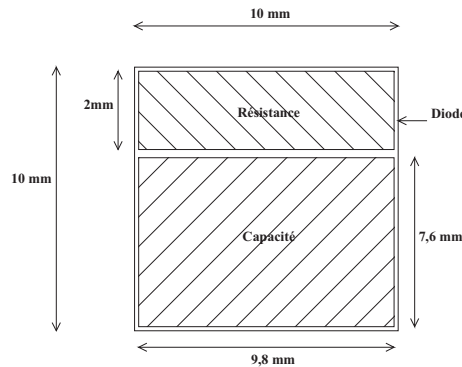


FIG. 1.9 – *La diode avec sa capacité de couplage et sa résistance de polarisation.*

³Une estimation plus récente indique une valeur proche de 0, en considérant la puce dans le détecteur.

1.2. LE CALORIMÈTRE ÉLECTROMAGNÉTIQUE

1.2.4 Résolution du calorimètre

La résolution sur l'énergie mesurée du calorimètre peut s'exprimer comme :

$$\frac{\sigma(E)}{E} = \frac{a}{E} \oplus \frac{b}{\sqrt{E}} \oplus c$$

E : énergie exprimée en GeV.

a : terme équivalent au bruit de l'électronique. Il est dominant pour les faibles énergies.

b : terme stochastique qui correspond aux fluctuations statistiques dans le détecteur.

c : terme constant qui correspond aux non uniformités.

Les simulations réalisées à l'aide du logiciel GEANT4 indiquent qu'une résolution sur l'énergie des électrons/photons de l'ordre de : $\frac{\sigma(E)}{E} = \frac{0,1}{\sqrt{E}} \oplus 0,01$ est réalisable.

1.2.5 Dynamique et précision sur l'énergie

L'épaisseur de notre détecteur au silicium est de 500 μm . Une particule au minimum d'ionisation (MIP) correspond à 4×10^4 électrons (80 paires d'électrons/trous par microns dans le silicium) ce qui équivaut à une charge de 6,4 fC. On pourra donc estimer le niveau de bruit à $\frac{1}{10}$ du MIP, c'est à dire 4×10^3 électrons. De plus, d'après des résultats de simulation [1], le signal maximum dans une cellule correspond à une charge de 20 pC. On retrouve ainsi notre dynamique ⁴ qui est de 32000 soit 15 bits.

La précision sur l'énergie sera typiquement en dessous du terme constant fixé par le calorimètre. Dans notre cas, ce terme constant est de 0,01. Si on considère un signal maximum de 2 V d'amplitude en sortie, on demandera donc 8 bits de précision sur cette donnée de 15 bits.

1.2.6 Localisation de l'électronique

L'électronique dite de premier niveau ("front-end") du calorimètre électromagnétique de TESLA est très contraignante en terme de compacité. En effet, pour une base de 128 voies par puce, le volume réservé à l'électronique a les dimensions suivantes : $2 \times 1 \times 0,1 \text{ cm}^3$. La puce sera placée à l'intérieur du détecteur comme représenté sur la figure 1.10. Cette solution présente l'avantage de minimiser la capacité totale vue à l'entrée du préamplificateur ce qui entraîne une diminution de sa consommation. En effet, le niveau de bruit du système est directement lié à la capacité totale vue en entrée du préamplificateur. En revanche, la puce sera dans un environnement irradié ; une étude devra être menée pour analyser son comportement.

⁴Rapport du plus grand signal sur le bruit.

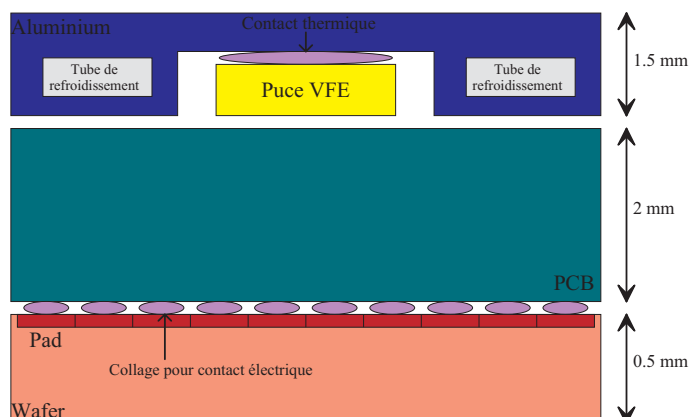


FIG. 1.10 – *Emplacement de l'électronique de premier niveau.*

1.2.7 Consommation de la puce

La très faible consommation par voie est un paramètre critique. En effet, la consommation doit être limitée à 5 mW par voie de traitement. Un système d'alimentation pulsée pourra être étudié pour diminuer la consommation, car le système de traitement analogique de l'information ne devra fonctionner qu'une 1 ms sur 200 ms. De plus, une étude thermique semble nécessaire pour estimer le système de refroidissement nécessaire au bon fonctionnement de l'électronique.

1.3 Les points essentiels du cahier des charges

D'un point de vue purement technique, les contraintes à retenir seront les suivantes :

- gamme dynamique de 15 bits ce qui est courant dans le domaine avec un bruit de l'ordre de quelques milliers d'électrons,
- un temps de traitement des données de l'ordre de 300 ns,
- une consommation de 5 mW par voie dans l'immédiat et certainement moins dans le futur, ce qui représente une consommation totale pour le calorimètre électromagnétique de 170 kW pour les 34 millions de voies.

Chapitre 2

Structure de l'électronique du calorimètre électromagnétique

Vers quelles solutions technologiques s'orienter ? Comment prévoir une électronique qui sera viable dans 10 ans ? Quelles technologies seront encore disponibles ? De quelle tension d'alimentation disposerons-nous ? Telles sont les questions en suspens pour développer l'électronique du calorimètre du futur accélérateur linéaire. Cependant, et à court terme, des orientations générales devront être prises ; nous sommes donc dans une phase de recherche et développement qui nous permettra de déterminer ce qui est possible et ce qui sera difficilement réalisable. Comme tout projet en phase de recherche et développement, de nouvelles structures devront être testées. Les points clés du cahier des charges se résument ainsi : faible encombrement, faible consommation avec mise en oeuvre d'un système d'alimentation pulsé, grand nombre de voies de mesure et très grande dynamique. D'un point de vue de l'électronique, le système reste relativement lent.

2.1 La technologie à utiliser pour développer les prototypes

Le premier point à aborder concerne le choix de la technologie [14] que l'on utilisera pour développer l'électronique du calorimètre. Aujourd'hui, deux principales technologies, bipolaires et MOS sont présentes sur le marché des circuits intégrés. On peut éventuellement aussi en citer trois autres qui sont cependant plus marginales, il s'agit de la technologie silicium de type JFET, de la technologie GaAs ¹ et de la technologie SiGe ², qui permet de travailler à de très hautes fréquences de fonctionnement. Pour des raisons de coût, notre choix s'orientera soit vers une technologie bipolaire, soit une technologie MOS. Cette partie aura pour but de dégager les points clés liés à ces deux technologies.

¹Arsenure de Gallium

²Silicium Germanium

2.1.1 La technologie bipolaire

Généralités

La technologie bipolaire présente la meilleure transconductance g_m déterminée seulement par le courant de polarisation avec :

$$g_m = \frac{qI_c}{kT}$$

Cette transconductance est indépendante de la taille du transistor et de la capacité. Le bruit série obtenu avec ce type de transistor est très bon. Il est de la forme :

$$e_n^2 = 4 \times k \times T \times \left(\frac{1}{2 \times g_m} + R_{BB'} \right)$$

En revanche, les performances en bruit sont limitées par le courant de base qui entraîne un bruit parallèle important, typiquement $i_n \sim 1 \text{ à } 4 \text{ pA}/\sqrt{\text{Hz}}$. La vitesse de fonctionnement est très importante (5-10 GHz). Il en est de même pour la résistance aux radiations des composants fonctionnant avec des courants importants comme c'est le cas dans les préamplificateurs des calorimètres.

Offset pour les transistors bipolaires

En théorie deux transistors identiques fonctionnant à courant identique, présenteront les mêmes caractéristiques et notamment le même V_{be} . Mais au cours de la fabrication, il y a des variations de l'aire de l'émetteur de chacun des transistors. Ces différences entraînent une différence de V_{be} . L'offset correspond à la différence des V_{be} de ces transistors. On écrit la formule suivante telle que :

$$\begin{aligned} I_{c1} &= I_{s1} e^{\frac{V_{be1}}{V_t}} \\ I_{c2} &= I_{s2} e^{\frac{V_{be2}}{V_t}} \end{aligned}$$

avec : I_{s1} et I_{s2} courants de saturation de l'émetteur. $V_t = 26 \text{ mV}$ à 300 K.

Or on sait que $I_s = A \times J_s$, avec A : aire de l'émetteur et J_s : densité de courant de saturation. On arrive alors à une formule du type :

$$\boxed{\Delta V_{be} = V_t \times \ln\left(\frac{A_1 \times J_{s1}}{A_2 \times J_{s2}}\right)}$$

Ainsi, une variation de 1% sur les courants de saturation entraîne un offset de 0,25 mV. Cette variation de 1% sur les courants de saturation correspond à une variation de 1% sur l'aire de l'émetteur. On peut donc conclure que l'offset est directement lié à l'aire de l'émetteur en logarithme.

2.1. LA TECHNOLOGIE À UTILISER POUR DÉVELOPPER LES PROTOTYPES

2.1.2 La technologie CMOS

Généralités

La technologie CMOS présente à l'heure actuelle l'avantage considérable d'être une technologie très bon marché. La transconductance des transistors MOS, g_m , est directement proportionnel à $\frac{W}{L}$ et C_{gs} lui même proportionnel à $W \times L$.

$$g_m = \sqrt{2 \times K_p \times \frac{W}{L} \times I_{ds}}$$

On peut obtenir des bruits séries très faibles qui sont présentés sous la forme suivante [15].

$$e_n^2 = \frac{8kT}{3g_m}$$

Ce dernier sera amélioré de façon notable au fur et à mesure que le rapport $\frac{W}{L}$ diminuera. A noter en revanche, qu'une diminution du L peut entrainer une diminution de la tension d'alimentation du système, ce qui limite la dynamique des éléments constituant la chaîne de traitement.

Offset pour les transistors MOS

Les conditions de polarisation nécessaires pour optimiser un appariement en tension sont différentes d'un appariement en courant et on ne peut pas jouer sur les deux en même temps.

Appariement en tension Supposons deux transistors appairés avec le même courant de drain I_{ds} . On aura donc le même V_{gs} en théorie, mais en pratique, les V_{gs} vont être différents. On aura donc $\Delta V_{gs} = V_{gs1} - V_{gs2}$. Dans le cas où les transistors se trouvent dans un régime de saturation, on peut écrire que :

$$\Delta V_{gs} \simeq \Delta V_t - V_{gst1} \times \left(\frac{\Delta k}{2 \times k_2} \right)$$

$$\begin{aligned} \text{avec } \Delta V_t &= V_{t1} - V_{t2} ; \\ V_{gst1} &= V_{gs1} - V_{t1} ; \\ k_2 &= \frac{W_2}{L_2} \times K_2 ; \\ \Delta k &= k_1 - k_2. \end{aligned}$$

ΔV_{gs} qui correspond à notre offset en tension est contrôlé par deux paramètres :
– Les dimensions du transistors : on cherchera à augmenter le produit $W \times L$.
– Les conditions de polarisation : on fera en sorte que V_{gst1} soit le plus faible possible.
Mais ceci présente une limite car on ne pourra pas descendre en dessous de $V_{gst} = 0,1 V$ pour des raisons de conduction.

CHAPITRE 2. STRUCTURE DE L'ÉLECTRONIQUE DU CALORIMÈTRE ÉLECTROMAGNÉTIQUE

Appariement en courant L'appariement entre deux courants de drain de transistors peut être présenté sous forme de rapport tel que :

$$\boxed{\frac{I_{d2}}{I_{d1}} \simeq \frac{k_2}{k_1} \times \left(1 + \frac{2 \times \Delta V_t}{V_{gst}}\right)}$$

L'appariement en courant pour des faibles tension de grille augmente à cause des disparités de tension de seuil ΔV_t . De façon pratique, on choisira un V_{gst} entre 0,3 V et 0,5 V.

Conclusions Pour obtenir un bon appariement en tension, il faudra fonctionner avec un V_{gst} proche de 0,1 V. En revanche, pour obtenir un bon appariement en courant, le V_{gst} sera plus élevé et variera entre 0,3 V et 0,5 V. Il existe donc deux paramètres qui influencent directement l'offset entre deux transistors MOS, il s'agit de la surface de la grille et des conditions de polarisation de ce dernier.

2.1.3 Choix de la technologie CMOS

Les deux facteurs importants à prendre en compte sont dans un premier temps la notion de coût et l'appariement des transistors, en log de la surface de l'émetteur pour les bipolaires et en $\sqrt{W \times L}$ pour les transistors CMOS. Cependant, étant donné les fréquences de fonctionnement lentes auxquelles nous travaillons, on pourra utiliser des "gros" transistors CMOS. Ces deux éléments nous amène à dire qu'une technologie CMOS pure est la plus adaptée. Mais, les contraintes en bruit étant relativement importantes, nous serons peut-être amenés à nous rabattre sur une technologie de type BiCMOS qui dispose de deux types de transistors, NPN et CMOS.

2.2 Les méthodes de mise en forme de l'information

La charge en sortie du détecteur est proportionnelle à l'énergie déposée. Cette charge peut être mesurée suivant diverses méthodes. On peut se contenter de mesurer l'amplitude maximale du signal ou on peut intégrer le signal pendant un temps donné. Toutes les expériences de physique des particules emploient cette seconde méthode car on augmente ainsi le rapport signal sur bruit de la chaîne d'acquisition. En effet, la valeur moyenne d'un bruit aléatoire de densité spectrale uniforme est nulle. Une intégration équivaut à moyenner le signal, et donc à réduire la contribution du bruit. De plus, une intégration apporte un filtrage des hautes fréquences facilitant ainsi l'échantillonnage en vue d'une conversion analogique numérique. Une augmentation du temps d'intégration améliore la mesure mais il existe cependant une limite maximale imposée par la fréquence de collision de la machine.

La chaîne de traitement sera composée d'un préamplificateur de charge en sortie du détecteur, son gain sera maximal de façon à limiter le bruit. Il est suivi d'un nouveau

2.2. LES MÉTHODES DE MISE EN FORME DE L'INFORMATION

filtrage qui améliorera encore le rapport signal sur bruit du système. Pour ce faire, deux principaux types de filtrages [14] existent :

- Les filtres analogiques.
- Les filtres numériques.

2.2.1 Les filtres analogiques

Parmi les filtres analogiques, deux principales structures peuvent être citées ainsi qu'une troisième structure que nous proposerons dans la thèse.

- Le filtrage de type CRRC² est un bon compromis entre performance et puissance dissipée. Ce type de méthode s'approche de la mise en forme optimale à 10%. Les constantes de temps $\tau = R \times C$ nécessitent une précision importante.
- Les filtres de Bessel approchent la mise en forme optimale de quelques %. Mais la constante de temps est en général déterminée par des réseaux RC externes précis au %, ce qui entraîne une augmentation du coût et de la densité de l'électronique.
- Un filtrage à base d'un intégrateur avec remise à zéro, solution que nous développerons dans la thèse et qui présente l'avantage d'une remise à zéro rapide.

2.2.2 Les filtres digitaux

Le filtrage digital est une méthode de plus en plus répandue. Elle consiste à effectuer une somme pondérée de N échantillons x_i d'un signal digitalisé $x(t)$ tel que $y = \sum_{i=1}^N a_i x_i$, dans lequel les coefficients a_i sont obtenus en inversant la matrice R d'autocorrélation du bruit. On a donc : $\vec{a} = R^{-1}\vec{x}$. La matrice d'autocorrélation est un échantillon de la fonction d'autocorrélation qui est dépendant du bruit de l'électronique et de la luminosité. Les performances du filtrage digital sont souvent gênées par les effets de repliement. Ces effets contribuent à augmenter le bruit rms du système et limite donc le bénéfice du filtrage digital. Le filtrage digital présente l'avantage d'être proche des performances optimales et allie en plus de cela une flexibilité (luminosité).

2.2.3 Les méthodes de filtrage retenues

Deux types de filtrage sont écartés d'emblée, les filtres de type Bessel car ces derniers utilisent des réseaux de résistances externes précis. On souhaite dans notre cas, une solution entièrement intégrée étant donné l'espace très réduit dont on dispose. On évitera aussi un filtrage digital pour ne pas digitaliser tout de suite l'information et supprimer ainsi les événements sans intérêts. Il reste donc deux types de filtrages possibles pour notre application, il s'agit du filtrage de type CRRC² et d'un filtrage à base d'un intégrateur avec remise à zéro. Ces deux solutions seront évaluées un peu plus loin dans la thèse.

2.3 Les solutions pour obtenir 15 bits de dynamique

Un problème peu évident est d'obtenir la dynamique de 15 bits demandée. Il existe pourtant sur le marché des convertisseurs 15 bits mais ils présentent l'inconvénient de beaucoup consommer. Donc, pour adapter l'ADC au signal à mesurer, il est nécessaire d'amplifier les signaux de faible amplitude. Sans cela, ils ne pourraient être convertis avec une précision suffisante. Tout dépend de leur amplitude par rapport à la résolution de l'ADC. Plus elle est faible, plus il faut amplifier. On doit alors avoir un gain variable en fonction du signal. Cette variation automatique de gain peut être obtenue par l'utilisation de dispositifs non-linéaires tels les compresseurs de dynamique largement répandus dans les télécommunications ou les systèmes multi-gain comme proposé dans cette thèse.

2.3.1 Système à compresseur : système non linéaire

La principale réalisation est le système FERMI dont la structure est représentée sur la figure 2.1 :

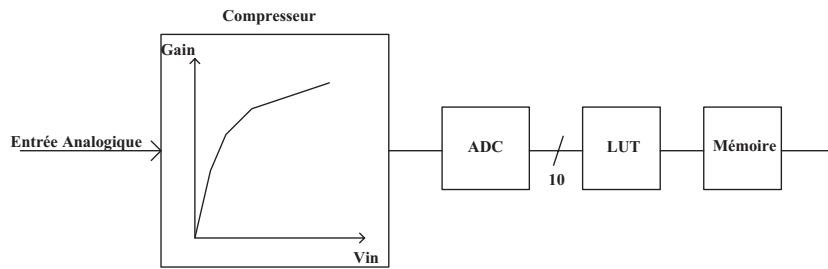


FIG. 2.1 – *Système à compresseur non linéaire.*

Le compresseur utilisé pour adapter la dynamique du calorimètre au convertisseur voit son gain diminuer lorsque l'amplitude du signal d'entrée augmente. La courbe représentant le gain en fonction de l'amplitude est de type logarithmique. Après numérisation, les données passent par une "lookuptable" pour être décompressées. Les sorties du convertisseur pilotent les adresses et on doit retrouver sur les données une information qui soit l'image du signal analogique d'entrée. Cette méthode est basée sur l'hypothèse de la parfaite connaissance de la fonction de transfert du compresseur. En pratique, la réponse logarithmique est approximée par plusieurs segments de droite et on ne maîtrise pas complètement le passage d'un segment à l'autre. D'un point de vue fréquentiel, le fait de passer par un dispositif non linéaire élargit le spectre. Si on reste constamment en analogique (compression et décompression) et qu'on prend garde à n'utiliser que des composants ayant une bande passante suffisante, cette solution est utilisable. Mais des problèmes se posent dès que l'on fait une conversion analogique numérique. En effet, tout système de conversion dispose d'un filtre anti-repliement et d'un échantillonneur-bloqueur. Ces deux éléments limitent la bande passante analogique et vont supprimer des composantes du spectre du signal compressé. La déconvolution ne tenant compte que de l'amplitude, elle

2.4. LA CONVERSION ANALOGIQUE NUMÉRIQUE

va introduire des erreurs. Dans le cas de FERMI, le problème est accentué par le fait que la mise en forme a été intégrée au compresseur. La publication [23] fait un résumé des critères de bande passante requis pour un compresseur de dynamique.

2.3.2 Système multi-gain : système linéaire

La figure 2.2 représente un système multi-gain.

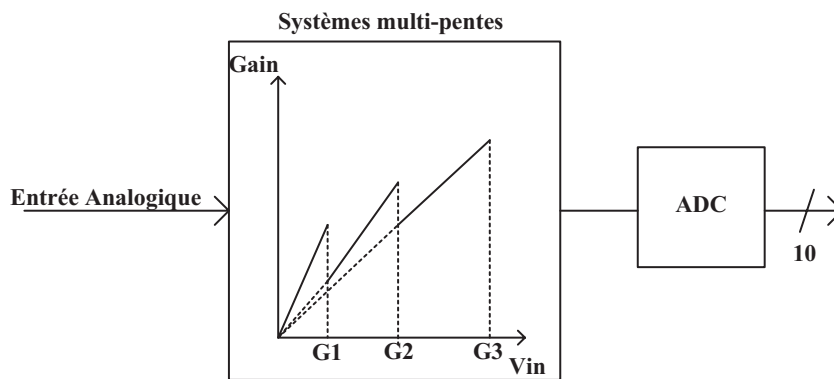


FIG. 2.2 – *Système multi-gain linéaire.*

Pour ces systèmes multi-pentes, l'idée est la même que pour un système de type FERMI. On souhaite toujours réaliser un gain variable en fonction du signal d'entrée. Cependant la fonction de transfert du circuit d'adaptation de dynamique n'est plus continue, elle est composée de plusieurs segments de droite. On passe d'un segment à un autre au moyen de comparateurs qui comparent le signal d'entrée avec des seuils fixes. Ces comparateurs fournissent à chaque instant une information numérique qui comparent le signal d'entrée avec des seuils fixes. Ces comparateurs fournissent aussi à chaque instant une information numérique indiquant la pente choisie. Les différentes pentes correspondent à des gains qu'il suffit de connaître pour remonter au signal analogique d'entrée. Cette connaissance s'obtient aisément au moyen d'une calibration. Le nombre de pentes est lié à la dynamique de l'ADC.

2.4 La conversion analogique numérique

La mise en forme est ensuite suivie par un système assurant la conversion analogique numérique et la mémorisation temporaire des informations. Deux possibilités peuvent être envisagées, soit une conversion le plus tôt possible, soit le plus tard possible.

2.4.1 Conversion le plus tôt possible

Une conversion le plus tôt possible implique l'utilisation d'un ADC par voie et une mémoire numérique. L'avantage d'un système numérique est qu'il n'est pas soumis au vieillissement et est insensible aux bruits analogiques. Le stockage de l'information est très fiable. En revanche, étant donné le grand nombre de voies, le faible taux d'occupation du détecteur et la consommation exigée (5mW/voie), cette solution n'est pas viable. En effet, une voie sera touchée statistiquement une seule fois pendant chaque train d'impulsions. Le synoptique de l'électronique serait le suivant :



FIG. 2.3 – *Synoptique d'une conversion le plus tôt possible.*

2.4.2 Conversion le plus tard possible

Une conversion le plus tard possible, implique l'utilisation d'une mémoire analogique et un convertisseur pour plusieurs voies. Cette mémoire analogique assurera un stockage des échantillons. Mais il peut y avoir des problèmes de courant de fuite des capacités. Un système de suppression des événements considérés comme inintéressant sera mis en place avant le stockage. Cette solution est retenue dans l'immédiat.



FIG. 2.4 – *Synoptique d'une conversion le plus tard possible.*

2.5 Schéma global de l'électronique de traitement

Deux laboratoires français travaillent ensemble sur l'électronique dite de premier niveau du calorimètre électromagnétique, il s'agit du LAL ³ d'Orsay et du LPC ⁴ Clermont. Une première hypothèse de travail sera de partir sur une puce qui intégrera 128 voies. Ce système mixte comprendra le traitement analogique du signal ainsi que la digitalisation. Le signal issu du détecteur, qui, dans notre cas, est une diode silicium, est une impulsion de courant brève et d'amplitude négative. Ce signal de type mode commun correspond à une charge de quelques fC qu'il va falloir amplifier. Compte tenu des conclusions obtenues

³Laboratoire de l'accélérateur linéaire.

⁴Laboratoire de Physique Corpusculaire

2.6. LE PRÉAMPLIFICATEUR ET LE BRUIT

précédemment, une idée de schéma global de l'électronique (figure 2.5) de traitement du calorimètre se présentera ainsi.

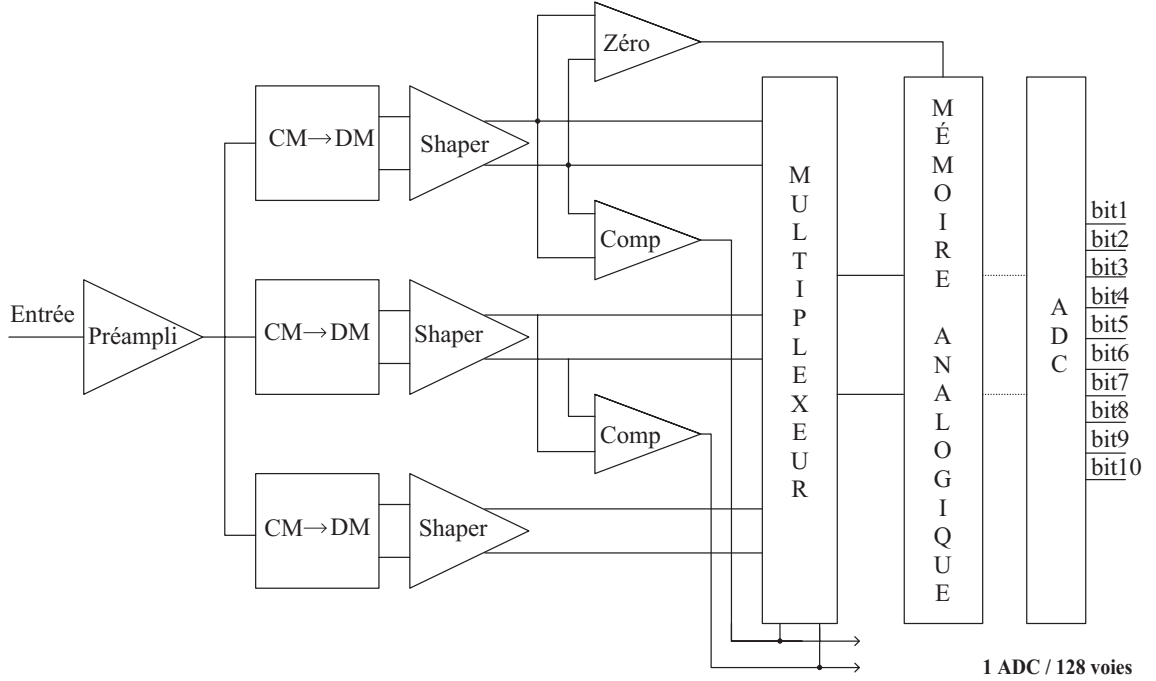


FIG. 2.5 – Schéma de principe de l'électronique de traitement.

Le signal d'entrée subit une première intégration avec le préamplificateur de charge. Une conversion mode commun vers mode différentiel permet ainsi d'attaquer le système multi-gain basé sur une mise en forme à entrées et sorties différentielles. Les informations considérées intéressantes sont multiplexées et stockées dans une mémoire analogique pour être finalement converties sur 10 bits.

2.6 Le préamplificateur et le bruit

Classiquement, un préamplificateur de charge [13, 31] sera le premier élément en sortie du détecteur qui réalisera une première intégration. Ce type de préamplificateur minimise la diaphonie dans les détecteurs multi-canaux. Il détermine le bruit du système qui est directement proportionnel à la capacité totale vue à l'entrée du préamplificateur. On considère ici que la capacité totale formée par la diode (capteur), la capacité de ligne (liaison entre le capteur et le préamplificateur) et la capacité du préamplificateur (C_{gs}) est de l'ordre de 100 pF répartis de la façon suivante, $C_{diode} = 25$ pF, $C_{ligne} = 40$ pF et $C_{preamp} = 30$ pF. Par la suite, cette valeur de capacité sera nettement diminuée car la puce sera placée dans le détecteur. Les contraintes en bruit seront moins fortes car la

CHAPITRE 2. STRUCTURE DE L'ÉLECTRONIQUE DU CALORIMÈTRE ÉLECTROMAGNÉTIQUE

capacité totale vue en entrée du préamplificateur sera diminuée et on pourra ainsi abaisser la consommation du transistor PMOS d'entrée. L'étage d'entrée du préamplificateur est généralement constitué d'un transistor PMOS car ceux-ci génèrent moins de bruit $\frac{1}{f}$ que les transistors NMOS.

Le bruit [15] se ramène en deux générateurs équivalents à l'entrée, $S_v(w)$ (en V^2/Hz) qui est un bruit série ou en tension et $S_i(w)$ (en A^2/Hz) qui est un bruit parallèle ou en courant. Ces deux sources de bruit sont supposées décorrélées. Un schéma du préamplificateur est le suivant (cf figure 2.6) :

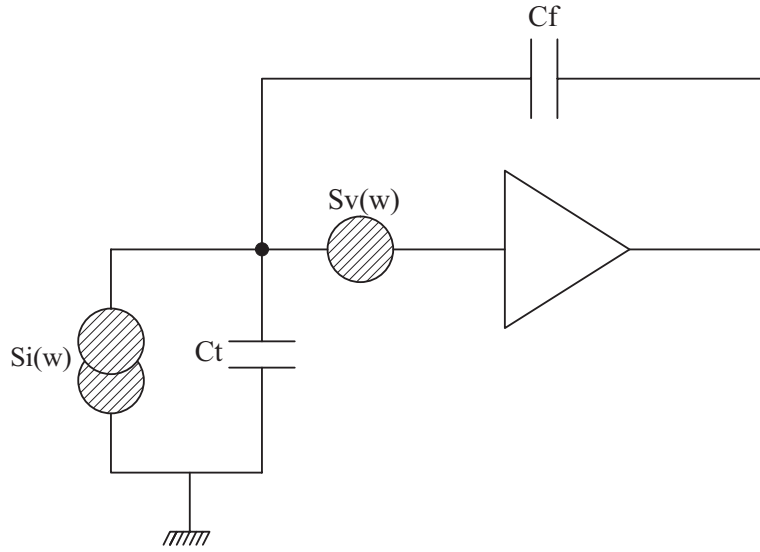


FIG. 2.6 – *Bruit ramené en entrée du préamplificateur.*

La proportion relative de ces deux bruits dépend de l'impédance du détecteur. À partir de ce schéma équivalent, on peut écrire les deux relations suivantes :

$$\begin{cases} S_v(w) = \frac{8 \times k \times T}{3 \times g_m} + \frac{A_f}{f} = e_n^2 + \frac{A_f}{f} \\ S_i(w) = 2 \times q \times I_g + \frac{4 \times k \times T}{R_f} = i_n^2 \end{cases}$$

avec : k = constante de Boltzmann.

T = température exprimée en kelvin.

g_m = transconductance du transistor d'entrée.

A_f = coefficient de bruit en $\frac{1}{f}$.

q = charge de l'électron.

I_g = courant de fuite dans le détecteur.

R_f = résistance en parallèle de la capacité C_f .

2.6. LE PRÉAMPLIFICATEUR ET LE BRUIT

Si on considère que le gain du préamplificateur est grand, alors on peut dire que l'impédance d'entrée du préamplificateur est nulle.

$$Z_e = \frac{Z_f}{G} = \frac{\frac{1}{jC_f w}}{G}$$

La densité spectrale de bruit ramenée en entrée peut s'exprimer en A^2/Hz . Le bruit série peut se ramener en courant et connaissant la capacité C_t sur l'entrée, on arrive à :

$$S_e(w) = S_i(w) + w^2 \times C_t^2 \times S_v(w)$$

La densité spectrale de bruit en sortie en V^2/Hz sera de la forme :

$$S_s(w) = \frac{S_i(w)}{w^2 \times C_f^2} + \frac{C_t^2 \times S_v(w)}{C_f^2}$$

On peut donc représenter le bruit en sortie du préamplificateur par le diagramme 2.7 où f_c est la fréquence charnière de bruit telle que le bruit série est égal au bruit parallèle. Etant donné le domaine spectral dans lequel nous travaillons, on négligera le bruit $\frac{1}{f}$. On trouve alors la relation suivante :

$$w_c = \frac{i_n}{e_n \times C_t}$$

Si on considère le bruit série $e_n = 1nV/\sqrt{Hz}$ et le bruit parallèle $i_n = 100fA/\sqrt{Hz}$ (cf 2.7.1), on trouve une fréquence charnière de bruit telle que :

$$f_c = 140 \text{ kHz}$$

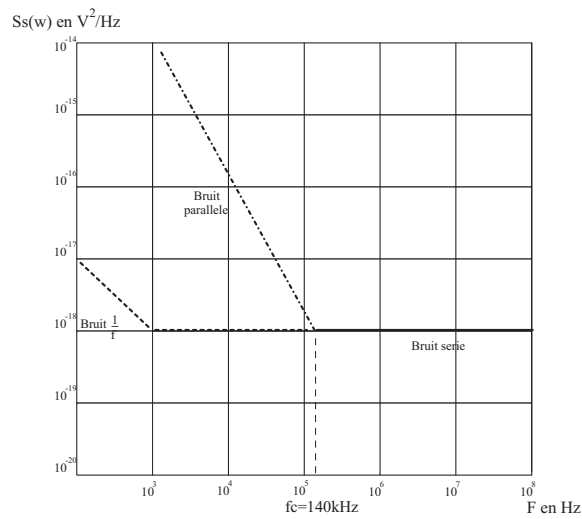


FIG. 2.7 – *Bruit en sortie du préamplificateur.*

2.7 Mise en forme du signal provenant du détecteur

Parmi les possibilités de mise en forme, deux hypothèses de travail ont été retenues et sont en cours d'évaluation en parallèle. Le préamplificateur peut être suivi de deux types de mise en forme :

- Une mise en forme "classique" de type CRRC².
- Un intégrateur avec remise à zéro : la remise à zéro étant faite à l'aide d'un interrupteur commandé par un signal d'horloge.

2.7.1 1^{ère} hypothèse : mise en forme de type CRRC²

Le système sera composé du préamplificateur suivi d'un filtre de type CRRC². Ce type de filtrage est un bon compromis entre performance et puissance dissipée. Une structure du montage est présentée sur la figure 2.8 ainsi que la forme des signaux en sortie de chaque élément.

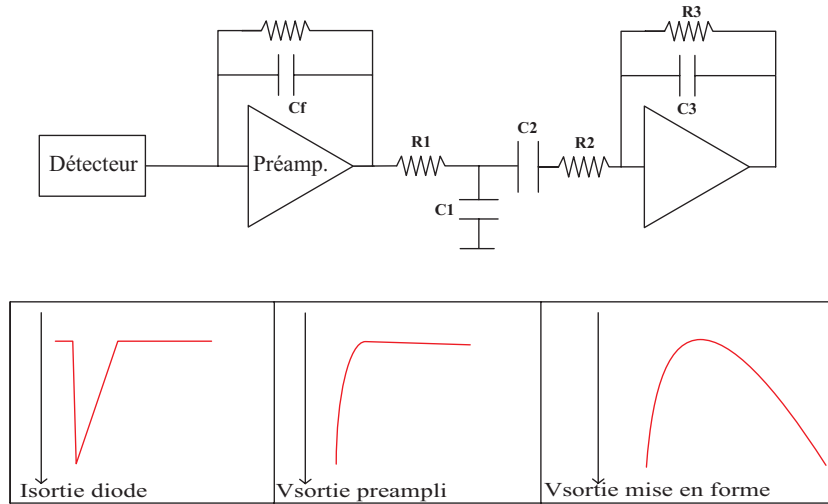


FIG. 2.8 – Filtrage CRRC².

Tension maximale en sortie du système

Pour les calculs qui suivent, nous utilisons la transformée de Laplace. On considèrera que notre préamplificateur est idéal, c'est à dire que son gain tend vers l'infini, ce qui n'est pas le cas dans la réalité puisque le gain décroît avec la fréquence. On pose $\tau' = R_3 \times C_2$, $\tau = R_1 \times C_1 = R_2 \times C_2 = R_3 \times C_3$ et on obtient en sortie de notre système de filtrage les équations suivantes :

$$\begin{cases} V_1(p) = \frac{-i_e(p)}{p \times C_f} \\ V_2(p) = V_1(p) \times \frac{\tau' \times p}{(1 + \tau \times p)^3} \end{cases}$$

2.7. MISE EN FORME DU SIGNAL PROVENANT DU DÉTECTEUR

$i_e(p)$: courant d'entrée provenant du détecteur.

$V_1(p)$: tension en sortie du préamplificateur.

$V_2(p)$: tension en sortie de la mise en forme.

On arrive donc à :

$$V_2(p) = \frac{-i_e(p)}{p \times C_f} \times \frac{\tau' \times p}{(1 + \tau \times p)^3}$$

Or on sait que la transformée de Laplace de $\frac{-i_e(p)}{p \times C_f} \Leftrightarrow \frac{-Q(t)}{C_f}$

De même, on sait : $\frac{\tau \times p}{(1 + \tau \times p)^3} \Leftrightarrow \frac{\tau' \times t}{\tau^3} \times (1 - \frac{t}{2 \times \tau}) \times e^{-\frac{t}{\tau}}$

Ce qui ramené en temps nous donne un produit de convolution tel que :

$$\boxed{V_2(t) = \frac{-Q(t)}{C_f} * \frac{\tau' \times t}{\tau^3} \times (1 - \frac{t}{2 \times \tau}) \times e^{-\frac{t}{\tau}}} \quad (2.1)$$

On définit notre maximum de signal en sortie du shaper à 2 V, ce niveau est atteint pour une charge maximale de 20 pC à $t=200$ ns et $\tau = 100$ ns. Ce signal de 2 V est défini par la dynamique d'entrée du convertisseur qui suit la chaîne de traitement. On choisit un signal de 2V en sortie du préamplificateur d'où C_f telle que $V_1(max) = \frac{Q_{max}}{C_f}$.

$$\boxed{C_f = 10 \text{ pF}} \quad (2.2)$$

Et donc un gain de 1 sur la mise en forme d'où :

$$\begin{aligned} V_2(max) &= \frac{-\tau'}{\tau^3 \times C_f} \int_0^t s \times (1 - \frac{s}{2 \times \tau}) \times e^{-\frac{s}{\tau}} \times Q(s - t) ds \\ \rightarrow V_2(max) &= \frac{Q_{max}}{C_f} \times \frac{\tau'}{\tau^3} \times \frac{t^2}{2} \times e^{-\frac{t}{\tau}} \\ \rightarrow 1 &= \frac{\tau'}{(100 \times 10^{-9})^3} \times \frac{(200 \times 10^{-9})^2}{2} \times e^{-2} \end{aligned}$$

$$\boxed{\tau' = 369 \text{ ns}} \quad (2.3)$$

Cette condition sur τ' devra être remplie pour avoir un gain de 1 sur la mise en forme.

Tension rms de bruit

Le bruit rms en sortie du système, c'est à dire après filtrage de type CRRC² sera de la forme :

$$V_n^2 = \frac{1}{2\pi} \int_0^\infty S_s(w) \times |H(jw)|^2 dw$$

$$V_n^2 = \frac{1}{2\pi} \int_0^\infty [\frac{i_n^2}{w^2 \times C_f^2} + \frac{C_t^2}{C_f^2} (\frac{2 \times \pi \times A_f}{w} + e_n^2)] \times \frac{w^2 \times \tau'^2}{(1 + w^2 \times \tau^2)^3} dw$$

CHAPITRE 2. STRUCTURE DE L'ÉLECTRONIQUE DU CALORIMÈTRE ÉLECTROMAGNÉTIQUE

On pose $w \times \tau = x$ donc on a $dw = \frac{dx}{\tau}$:

$$V_n^2 = \frac{e_n^2 \times C_t^2 \times \tau'^2}{2\pi \times C_f^2 \times \tau^3} \int_0^\infty \frac{x^2}{(1+x^2)^3} dx + \frac{i_n^2 \times \tau'^2}{2\pi \times C_f^2 \times \tau} \int_0^\infty \frac{1}{(1+x^2)^3} dx + \frac{A_f \times C_t^2 \times \tau'^2}{C_f^2 \times \tau^2} \int_0^\infty \frac{x}{(1+x^2)^3} dx \quad (2.4)$$

Ces trois termes correspondent respectivement au bruit série, parallèle et 1/f. Le calcul des intégrales est développé en Annexe 1. On retrouve donc une formule générale du bruit rms qui sera de la forme :

$$V_n^2 = \frac{e_n^2 \times C_t^2 \times \tau'^2}{C_f^2 \times \tau^3} \times \frac{1}{32} + \frac{i_n^2 \times \tau'^2}{C_f^2 \times \tau} \times \frac{3}{32} + \frac{C_t^2 \times A_f \times \tau'^2}{4 \times C_f^2 \times \tau^2} \quad (2.5)$$

Charge équivalente au bruit ramenée en entrée

On obtient ainsi le bruit rms ramené en charge sur l'entrée :

$$\begin{aligned} ENC &= \frac{Q_{max} \times V_{rms}}{V_{max}(q)} \\ ENC &= 10 \times 10^{-12} \times V_{rms} \\ ENC &= 10 \times 10^{-12} \times \left(\frac{e_n \times C_t \times \tau'}{C_f \times \tau^{\frac{3}{2}} \times 4\sqrt{2}} \oplus \frac{i_n \times \tau' \times \sqrt{3}}{C_f \times \sqrt{\tau} \times 4\sqrt{2}} \oplus \frac{C_t \times \sqrt{A_f} \times \tau'}{2 \times C_f \times \tau} \right) \end{aligned}$$

Le bruit en $\frac{1}{f}$ sera négligé car l'entrée du préamplificateur de charge est constituée d'un transistor PMOS. Ce dernier est caractérisé par un coefficient de bruit en $\frac{1}{f}$ négligeable devant les bruit série et parallèle. On trouve ainsi une charge équivalente au bruit ramenée en entrée telle que :

$$ENC = 10 \times 10^{-12} \times \left(\frac{e_n \times C_t \times \tau'}{C_f \times \tau^{\frac{3}{2}} \times 4\sqrt{2}} \oplus \frac{i_n \times \tau' \times \sqrt{3}}{C_f \times \sqrt{\tau} \times 4\sqrt{2}} \right) \quad (2.6)$$

Le bruit optimal sera obtenu quand la charge équivalente au bruit ramenée en entrée sera minimale. On trouve ainsi :

$$\tau_{opt} = \frac{e_n \times C_t}{\sqrt{3} \times i_n} \quad (2.7)$$

2.7. MISE EN FORME DU SIGNAL PROVENANT DU DÉTECTEUR

Applications numériques

Dans notre cas, le transistor d'entrée du préamplificateur sera de type PMOS ; en effet ceux-ci génèrent moins de bruit $\frac{1}{f}$, ce qui nous permettra de négliger ce terme dans l'équation générale. Etant donné les contraintes que l'on a au niveau de la consommation, un courant de 500 μA dans ce transistor d'entrée sera la limite que l'on se fixera. De plus, pour des raisons d'encombrement, on limitera le W du transistor d'entrée à 2000 μm . Pour ce qui est du L , la limite est de 0,5 μm dans la technologie AMS 0,35 μm (on utilise des transistors supportant 5 V d'alimentation). On pourra ainsi déterminer la transconductance de ce transistor d'entrée à l'aide de la formule :

$$\begin{aligned} g_m &= \sqrt{2 \times K_p \times \frac{W}{L} \times I_{ds}} \\ g_m &= \sqrt{2 \times 30 \times \frac{2000}{0,5} \times 500} \\ \boxed{g_m &\simeq 10 \text{ mA/V}} \end{aligned}$$

avec : $K_p = 30 \mu A/V^2$, $I_{ds} = 500 \mu A$, $\frac{W}{L} = \frac{2000}{0,5} = 4000$.

En connaissant à présent la valeur de la transconductance du transistor d'entrée, on retrouve donc le niveau de bruit série qui sera de la forme :

$$\begin{aligned} e_n^2 &= \frac{8 \times k \times T}{3 \times g_m} \\ e_n &= \sqrt{\frac{8 \times k \times T}{3 \times g_m}} \\ e_n &= \sqrt{\frac{8 \times 1,38 \times 10^{-23} \times 300}{3 \times 10 \times 10^{-3}}} \\ \boxed{e_n &= 1,1 \text{ nV}/\sqrt{Hz}} \end{aligned}$$

Pour le bruit parallèle, R_f étant grand, on considèrera seulement le terme en I_g , celui-ci correspond dans notre cas à 30 nA d'où l'équation :

$$\begin{aligned} i_n^2 &= 2 \times q \times I_g \\ i_n &= \sqrt{2 \times 1,602 \times 10^{-19} \times 30 \times 10^{-9}} \\ \boxed{i_n &= 98 \text{ fA}/\sqrt{Hz}} \end{aligned}$$

On dispose à présent du bruit série et du bruit parallèle, on peut donc déterminer τ_{opt} qui sera tel que la charge équivalente au bruit ramenée en entrée sera minimale.

$$\begin{aligned} \tau_{opt} &= \frac{e_n \times C_t}{\sqrt{3} \times i_n} \\ \tau_{opt} &= \frac{1,1 \times 10^{-9} \times 100 \times 10^{-12}}{\sqrt{3} \times 98 \times 10^{-15}} \\ \boxed{\tau_{opt} &= 648 \text{ ns}} \end{aligned}$$

Mais, d'après les données physiques, on dispose seulement de 200 ns pour traiter l'information. Avec ce type de filtrage CRRC², on a $\tau = 100$ ns. Ainsi, on peut retrouver

CHAPITRE 2. STRUCTURE DE L'ÉLECTRONIQUE DU CALORIMÈTRE ÉLECTROMAGNÉTIQUE

notre charge équivalente au bruit à l'entrée du système :

$$ENC = 10^{-11} \times \left(\frac{1,1 \times 10^{-9} \times 100 \times 10^{-12} \times 369 \times 10^{-9}}{10 \times 10^{-12} \times (100 \times 10^{-9})^{\frac{3}{2}} \times 4\sqrt{2}} \oplus \frac{98 \times 10^{-15} \times 369 \times 10^{-9} \times \sqrt{3}}{10 \times 10^{-12} \times (100 \times 10^{-9})^{\frac{3}{2}} \times 4\sqrt{2}} \right)$$

$$ENC = 22,7 \times 10^{-17} \oplus 35 \times 10^{-18}$$

$$ENC = 1419 \text{ e-} \oplus 219 \text{ e-}$$

$$ENC = \sqrt{(1419 \text{ e-})^2 + (219 \text{ e-})^2}$$

$$\boxed{ENC = 1436 \text{ e-}}$$

ENC est une somme quadratique du bruit série et du bruit parallèle, on retrouve une charge de bruit équivalente à l'entrée qui est inférieure à 4000 électrons comme exigé dans le cahier des charges. C'est le bruit série qui domine dans notre application. Le transistor PMOS composant l'entrée du préamplificateur, dont les caractéristiques sont les suivantes, $W = 2000 \mu m$, $L = 0,5 \mu m$, $I_{ds} = 500 \mu A$, sera suffisant pour satisfaire à notre application.

2.7. MISE EN FORME DU SIGNAL PROVENANT DU DÉTECTEUR

2.7.2 2^{ème} hypothèse : mise en forme par un intégrateur avec remise à zéro

Cette méthode (cf figure 2.9) proposée par le LPC présente l'avantage d'une réinitialisation du système plus rapide. En revanche, un signal de commande de l'interrupteur est bien entendu indispensable. Deux possibilités de signal de commande peuvent être envisagées :

- Un signal d'horloge qui oblige une liaison capacitive entre le préamplificateur et la mise en forme pour supprimer la composante continue.
- Un signal de déclenchement qui activera la mise en forme en fonction de l'information détectée.

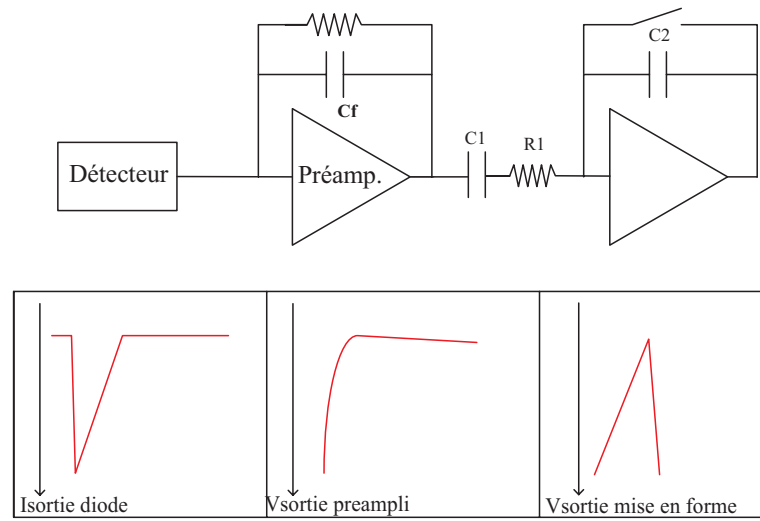


FIG. 2.9 – Filtrage par l'intégrateur avec remise à zéro.

Tension maximale en sortie du système

Si on considère que notre préamplificateur est idéal et que l'on pose $\tau = R_1 \times C_1$, on obtient une équation de la forme :

$$\begin{cases} V_1(p) = \frac{-i_e(p)}{p \times C_f} \\ V_2(p) = V_1(p) \times \frac{C_1}{C_2 \times (1 + \tau \times p)} \end{cases}$$

On arrive donc à :

$$V_2(p) = \frac{-i_e(p)}{p \times C_f} \times \frac{C_1}{C_2 \times (1 + \tau \times p)}$$

$i_e(p)$: courant d'entrée provenant du détecteur ;

$V_1(p)$: tension en sortie du préamplificateur ;

$V_2(p)$: tension en sortie du shaper.

CHAPITRE 2. STRUCTURE DE L'ÉLECTRONIQUE DU CALORIMÈTRE ÉLECTROMAGNÉTIQUE

Or, on sait que la transformée de Laplace de $\frac{1}{p+a} \Leftrightarrow e^{-a \times t}$ et $\frac{1}{p} \Leftrightarrow 1$.

Ce qui ramené en temps nous donne un produit de convolution tel que :

$$\boxed{V_2(t) = \frac{-Q(t)}{C_f} * \frac{C_1}{C_2 \times \tau} \times e^{\frac{-t}{\tau}}} \quad (2.8)$$

On utilise le même préamplificateur que pour le filtrage CRRC², on retrouve alors $C_f = 10 \text{ pF}$. Donc pour un maximum de signal en sortie de l'intégrateur dans notre cas 2 V, c'est à dire pour une charge de 20 pC à $t = \Delta t = 200 \text{ ns}$ et $\tau = 100 \text{ ns}$, on aura :

$$V_2(max) = \frac{Q_{max}}{C_f} \times \frac{C_1}{C_2} \times (1 - e^{\frac{-t}{\tau}})$$

$$\boxed{\frac{C_2}{C_1} = 0,865} \quad (2.9)$$

Tension rms de bruit

On intègre pendant un temps ΔT on peut donc appliquer le théorème du retard qui est de la forme :

$$L(f(t - \Delta T)) = e^{-p \times \Delta T} \times F(p)$$

Ainsi, on retrouve notre fonction de transfert équivalente au filtre qui est telle que :

$$\begin{aligned} H(p) &= L(f(t)) - L(f(t - \Delta T)) \\ H(p) &= \frac{C_1}{C_2 \times (1 + \tau \times p)} \times (1 - e^{-p \times \Delta T}) \end{aligned}$$

Le bruit rms en sortie du système, c'est à dire après filtrage par l'intégrateur avec remise à zéro sera de la forme :

$$V_n^2 = \frac{1}{2\pi} \int_0^\infty S_s(w) \times |H(jw)|^2 dw$$

$$V_n^2 = \left(\frac{C_1}{C_2}\right)^2 \times \frac{1}{2\pi} \int_0^\infty \left[\frac{i_n^2}{w^2 \times C_f^2} + \frac{C_t^2}{C_f^2} \left(\frac{2 \times \pi \times A_f}{w} + e_n^2 \right) \right] \times \left| \frac{1}{1 + jw \times \tau} \times (1 - e^{-jw \times \Delta t}) \right|^2 dw$$

$$V_n^2 = \left(\frac{C_1}{C_2}\right)^2 \times \left(\frac{e_n^2 \times C_f^2}{\pi C_f^2} \int_0^\infty \frac{1 - \cos(w \Delta t)}{1 + \tau^2 w^2} dw + \frac{i_n^2}{\pi C_f^2} \int_0^\infty \frac{1 - \cos(w \Delta t)}{w^2 \times (1 + \tau^2 \times w^2)} dw + \frac{2 C_t^2 A_f}{C_f^2} \int_0^\infty \frac{1 - \cos(w \Delta t)}{w \times (1 + \tau^2 w^2)} dw \right)$$

Le calcul des intégrales est exposé en Annexe 2. Etant donné le domaine spectral dans lequel nous travaillons, on ne tient pas compte du bruit $\frac{1}{f}$. On retrouve ainsi une formule générale du bruit rms de la forme :

$$\boxed{V_n^2 = \left(\frac{C_1}{C_2}\right)^2 \times \left(\frac{e_n^2 \times C_t^2}{C_f^2} \times \frac{(1 - e^{\frac{-\Delta t}{\tau}})}{2 \times \tau} + \frac{i_n^2}{2 \times C_f^2} \times (\Delta t + \tau \times (e^{\frac{-\Delta t}{\tau}} - 1)) \right)} \quad (2.10)$$

2.7. MISE EN FORME DU SIGNAL PROVENANT DU DÉTECTEUR

Charge équivalente au bruit ramenée en entrée

On obtient ainsi le bruit rms ramené en charge sur l'entrée :

$$ENC = \frac{Q_{max} \times V_{rms}}{V_{max}(q)}$$

$$ENC = 10^{-11} \times \left(\frac{e_n \times C_t \times C_1}{C_f \times C_2} \times \sqrt{\frac{(1 - e^{-\frac{\Delta t}{\tau}})}{2 \times \tau}} \oplus \frac{i_n \times C_1}{C_f \times C_2} \times \sqrt{\frac{1}{2}(\Delta t - \tau \times (1 - e^{-\frac{\Delta t}{\tau}}))} \right) \quad (2.11)$$

Applications numériques

Les conditions initiales sont les mêmes sur le préamplificateur qui est composé d'un transistor de type Pmos. Notre temps d'intégration fixé par l'intervalle de temps entre deux collisions est de $\Delta t = 200 \text{ ns}$, et la constante d'intégration, $\tau = R_1 \times C_1$ est telle que $\tau = 100 \text{ ns}$.

$$\begin{aligned} ENC &= 10^{-11} \times \left(\frac{1,1 \times 10^{-9} \times 100 \times 10^{-12} \times 1,16}{10 \times 10^{-12}} \times \sqrt{\frac{(1 - e^{-2})}{200 \times 10^{-9}}} \oplus \frac{98 \times 10^{-15} \times 1,16}{10 \times 10^{-12}} \times \sqrt{50 \times 10^{-9} \times (1 + e^{-2})} \right) \\ ENC &= 26,5 \times 10^{-17} \oplus 27,0 \times 10^{-18} \\ ENC &= 1656 \text{ e-} + 168 \text{ e-} \\ ENC &= \sqrt{(1656 \text{ e-})^2 + (168 \text{ e-})^2} \\ \boxed{ENC} &= 1664 \text{ e-} \end{aligned}$$

La charge équivalente au bruit ramenée en entrée est conforme au cahier des charges puisqu'elle est inférieure aux 4000 électrons autorisés. Cette solution peut donc satisfaire au traitement de l'information.

2.7.3 Conclusions sur les deux méthodes de filtrage

L'inconvénient du système à intégrateur switché, est que l'on a besoin d'un signal pour commander l'interrupteur, ce qui signifie qu'on partirait sur un système mixte. En revanche, l'interrupteur occupera moins de place sur notre puce par rapport à une résistance de plusieurs dizaines de $k\Omega$. De plus, le système à intégrateur avec remise à zéro supprime les problèmes d'empilement que l'on pourrait avoir avec le filtrage $CRRC^2$.

La très faible consommation nous amènera sans aucun doute à mettre en place un système d'alimentation pulsée pour la mise en forme de l'information, celle-ci n'étant utilisée que 1% du temps.

2.8 Le système multi-gain

Le signal en mode commun arrive donc sur le préamplificateur de charge. A partir du signal récupéré en sortie du préamplificateur, une conversion de type mode commun vers mode différentiel est réalisée qui nous permettra d'attaquer le shaper différentiel. Cette conversion peut être réalisée par une structure de type convoyeur de courant.

Un point important dans le cahier des charges est la dynamique de 15 bits demandée. Etant donné la faible tension d'alimentation dont on dispose (5 Volts dans l'immédiat et certainement beaucoup moins dans le futur), l'utilisation d'un système multi-gain semble le plus judicieux pour obtenir la dynamique nécessaire. En effet, si l'on considère un signal de 2 V en sortie, on retrouve notre LSB défini à $62,5 \mu V$. Ceci est difficile à réaliser, coûteux et injustifié car la précision demandée à haute énergie est bien inférieure à la dynamique. Dans ce cas, un système à 3 gains de 10 bits peut être envisagé. Le LSB est défini à 1,9 mV ce qui est nettement plus réaliste. Le choix du gain sera codé par l'état en sortie des 2 comparateurs.

2.9 La suppression des événements non significatifs

Etant donné le faible nombre de voies touchées à chaque train, 128 voies par puces, la suppression des événements considérés comme n'étant pas intéressants se fera en ligne à l'aide d'un comparateur dont le seuil de déclenchement sera fixé à 0,8 MIP. Ce comparateur placé en sortie du plus grand gain commandera la mémoire analogique de façon à supprimer tous les événements inférieurs à 0,8 MIP.

2.10 Le multiplexeur

En sortie des trois mises en forme, un multiplexeur, commandé par la sortie des comparateurs codant le choix du gain, sélectionnera les données issues du filtrage. Ce mul-

2.11. LA MÉMOIRE ANALOGIQUE

Le multiplexeur est composé de 3 entrées différentielles, un signal de commande et une sortie différentielle. Les données en sortie du multiplexeur seront stockées dans une mémoire analogique.

2.11 La mémoire analogique

Cette mémoire analogique est indispensable, car une même voie peut être touchée maximum 5 fois pendant un même bunch, on utilisera donc une mémoire analogique avec une profondeur de 5 capacités. On devra donc garder au maximum sur la capacité une information pendant 1 ms plus la durée du temps de conversion si on numérise à la fin du train. Le schéma présenté est une structure de principe qu'il faudra adapter aux contraintes liées à l'intégration. (cf paragraphe 6.5.1)

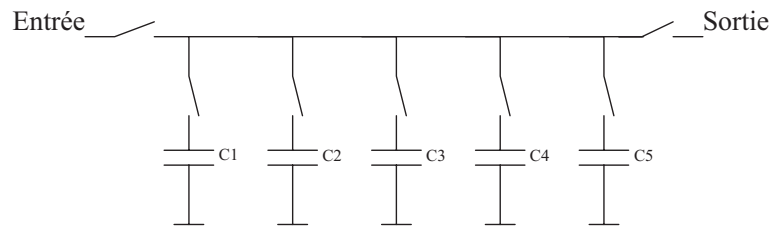


FIG. 2.10 – Schéma de principe de la mémoire analogique.

2.12 Le convertisseur analogique numérique

Un convertisseur analogique numérique sur 10 bits est donc suffisant vis à vis de la précision demandée. Ce dernier sortira une donnée sur 10 bits qui sera transmise à la partie numérique. Puis, un traitement du flot de données sera mis en place. D'après le cahier des charges, c'est 128 voies par puce qui sont touchées à chaque train. L'intervalle de temps entre deux trains, 199 ms, nous permettra de numériser l'information. En partant sur une base d'un convertisseur pour 128 voies, la fréquence de conversion de l'ADC devra être de l'ordre du kHz, ce qui est relativement lent. Une possibilité envisagée pour réduire la consommation du système serait de mettre en oeuvre un système d'alimentation pulsée pour le convertisseur et donc convertir plus rapidement.

2.13 Codage du flot de données et consommation

Au total, 34 millions de données par train seront traitées. Il faudra coder l'énergie, le numéro de collisions, le numéro de voie et le gain. L'énergie sera codée sur 10 bits à l'aide du convertisseur analogique numérique, avec une précision sur la donnée de 8 bits. Le

CHAPITRE 2. STRUCTURE DE L'ÉLECTRONIQUE DU CALORIMÈTRE ÉLECTROMAGNÉTIQUE

numéro de collisions sera codé sur 12 bits avec un BCID ⁵ sachant qu'il y a 3000 collisions par train. Le numéro de voie touchée dans la puce sera codé sur 7 bits avec 128 voies par puce. Le gain utilisé sera codé sur 2 bits avec un système multi-gain de 3 gains.

Toutes ces informations nous donnent une première estimation du nombre de bits à traiter à chaque train qui sera de 31 bits \times 34 millions soit environ 1,1 Gbits par bunch.

Pour ce qui est de la consommation totale du système, le préamplificateur dissipe 2,5 mW par voie. On dispose donc au total de 2,5 mW par voie pour le reste du système d'où la nécessité d'utiliser un système d'alimentation pulsée.

⁵Bunch-crossing identifier : donne un numéro à chaque collision.

Deuxième partie

Conception des briques de base

Chapitre 3

Propriétés physiques et technologiques du transistor MOS

Le transistor MOS est, de nos jours, le seul transistor disponible dans les technologies dites “bon marché”. Ce chapitre nous donnera les formules indispensables applicables aux MOS ainsi qu’un comparatif de leurs paramètres en fonction des technologies utilisées.

3.1 Régimes de fonctionnement des transistors MOS

Le diagramme 3.1 décompose les différents régimes de fonctionnement des transistors MOS. Dans l’univers de la conception analogique, les transistors MOS sont utilisés suivant deux principaux régimes de fonctionnement :

- Le régime linéaire : le transistor est une résistance contrôlée en tension. Typiquement, un exemple d’application sera un interrupteur ¹.
- Le régime de saturation qui est décomposé en deux sous-régimes :

* Le régime de forte inversion dans lequel le transistor est une source de courant commandée en tension. Par exemple, pour un transistor NMOS tel que $V_{gs} > V_{tn}$ et $V_{ds} \geq V_{gs} - V_{tn}$, une formule approchée du courant sera de la forme :

$$I_{ds} = K_{pn} \times \frac{W}{2 \times L} \times (V_{gs} - V_{tn})^2$$

avec : K_{pn} = facteur de gain.

W et L = dimensions du transistor.

V_{tn} = tension de seuil pour les transistors NMOS.

V_{gs} = tension entre la grille et la source.

¹ Association d’un transistor NMOS et PMOS en parallèle commandés par la grille.

CHAPITRE 3. PROPRIÉTÉS PHYSIQUES ET TECHNOLOGIQUES DU TRANSISTOR MOS

- * Le régime de faible inversion dans lequel le transistor est aussi une source de courant commandée en tension, mais ce dernier évolue suivant une loi exponentielle. Par exemple, pour un transistor NMOS tel que $V_{gs} < V_{tn}$ et $V_{ds} \geq V_{gs} - V_{tn}$, une formule approchée du courant sera de la forme :

$$I_{ds} = K_{pn} \times \frac{W}{L} \times U_t^2 \times e^{\frac{V_{gs} - V_{tn}}{n \times U_t}}$$

avec : $U_t = \frac{k \times T}{q} = 26 \text{ mV}$
 n varie entre 1 et 2 suivant la technologie.

Dans nos schémas, le régime de forte inversion est principalement utilisé. On notera que le régime de faible inversion [37] existe. Les transistors fonctionnent avec des courants de quelques dizaines de nA. Cependant, il est évident que les caractéristiques en fréquence ne peuvent atteindre nos fréquences de fonctionnement. C'est pourquoi nous utiliserons exclusivement le régime de forte inversion dans les différentes architectures développées au cours de la thèse.

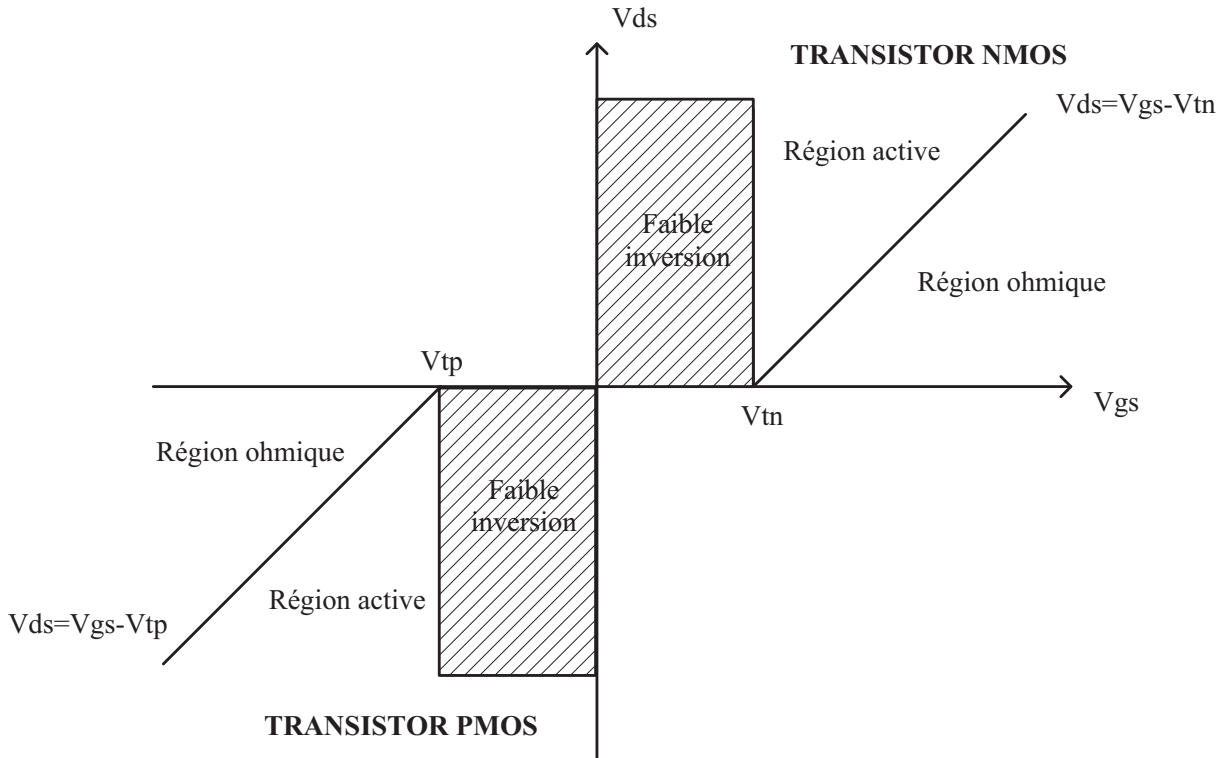


FIG. 3.1 – Régimes de fonctionnement des transistors MOS.

3.1. RÉGIMES DE FONCTIONNEMENT DES TRANSISTORS MOS

3.1.1 Le transistor NMOS

Le transistor de type NMOS est représenté sur la figure 3.2. Le substrat est en général de type p et la source et le drain sont deux régions fortement dopées n. Une fine couche de dioxyde de silicium est développée sur le substrat et une couche de type polysilicium composant la grille recouvre l'oxyde entre la source et le drain. Dans des conditions de polarisation telles que $V_{gs} > 0$, la grille du transistor et le substrat forment une capacité avec comme diélectrique le dioxyde de silicium. Les charges positives sont ainsi accumulées sur la grille et les charges négatives s'accumulent dans le substrat créant un canal de type n.

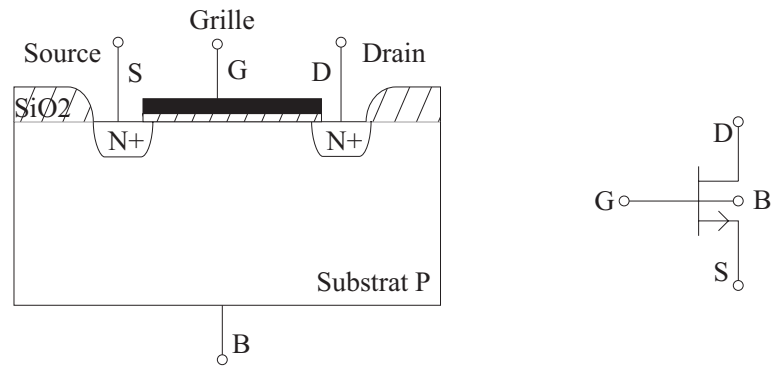


FIG. 3.2 – Le transistor NMOS.

Zone ohmique ou linéaire

Le transistor se comporte comme un canal résistif contrôlé en tension. Deux conditions sont nécessaires pour considérer que le transistor est dans ce régime de fonctionnement : $V_{gs} > V_{tn}$ et $0 < V_{ds} < V_{gs} - V_{tn}$. L'expression du courant entre drain et source sera présentée sous cette forme simplifiée :

$$I_{ds} = K_{pn} \times \frac{W}{L} \times [(V_{gs} - V_{tn}) \times V_{ds}]$$

On aura donc une résistance commandée en tension par $(V_{gs} - V_{tn})$, typiquement, un transistor fonctionnant en interrupteur.

$$R_{on} = \frac{V_{ds}}{I_{ds}} = \frac{1}{K_{pn} \times \frac{W}{L} \times (V_{gs} - V_{tn})}$$

Zone active ou régime saturé

Le transistor se comporte comme une source de courant commandée par V_{gs} . Deux conditions sont nécessaires pour considérer que le transistor est dans ce régime de fonctionnement : $V_{gs} > V_{tn}$ et $V_{ds} \geq V_{gs} - V_{tn}$. Voici donc l'expression du courant I_{ds} (Pour

CHAPITRE 3. PROPRIÉTÉS PHYSIQUES ET TECHNOLOGIQUES DU TRANSISTOR MOS

simplifier les calculs de I_{ds} et g_m , le terme en V_{ds} est généralement négligé.) :

$$I_{ds} = K_{pn} \times \frac{W}{2 \times L} \times (V_{gs} - V_{tn})^2 \times \left(1 + \frac{V_{ds}}{\lambda \times V_{early} \times L}\right)$$

La transconductance d'un transistor NMOS g_m correspond aux variations du courant I_{ds} en fonction de la tension entre la grille et la source V_{gs} :

$$g_m = \frac{\delta I_{ds}}{\delta V_{gs}} = K_{pn} \times \frac{W}{L} \times (V_{gs} - V_{tn}) \times \left(1 + \frac{V_{ds}}{\lambda \times V_{early} \times L}\right) \simeq \sqrt{2 \times K_{pn} \times \frac{W}{L} \times I_{ds}}$$

La conductance de sortie d'un transistor NMOS telle que $g_{ds} = \frac{1}{r_0}$ correspond aux variations du courant I_{ds} en fonction de la tension entre le drain et la source V_{ds} :

$$g_{ds} = \frac{\delta I_{ds}}{\delta V_{ds}} = K_{pn} \times \frac{W}{2 \times L} \times (V_{gs} - V_{tn})^2 \times \frac{1}{\lambda \times V_{early} \times L} \simeq I_{ds} \times \frac{1}{\lambda \times V_{early} \times L}$$

3.1.2 Le transistor PMOS

Le transistor de type PMOS est représenté sur la figure 3.3. Dans une technologie avec un substrat de type p, un caisson de type n sera nécessaire pour avoir des transistors p. La source et le drain sont dopés p, ainsi le canal est de type p.

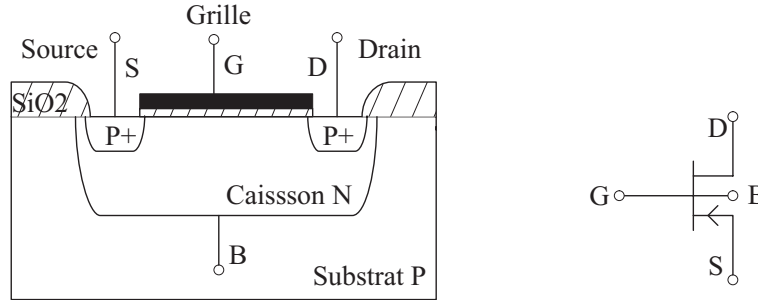


FIG. 3.3 – Le transistor PMOS.

Zone ohmique ou linéaire

Le transistor se comporte comme un canal résistif contrôlé en tension. Deux conditions sont nécessaires pour considérer que le transistor est dans ce régime de fonctionnement : $V_{gs} < V_{tp}$ et $V_{gs} - V_{tp} < V_{ds} < 0$. L'expression du courant sera présentée sous cette forme simplifiée :

$$I_{ds} = K_{pp} \times \frac{W}{L} \times [(V_{gs} - V_{tp}) \times V_{ds}]$$

On aura donc une résistance commandée en tension par $(V_{gs} - V_{tn})$:

$$R_{on} = \frac{V_{ds}}{I_{ds}} = \frac{1}{K_{pp} \times \frac{W}{L} \times (V_{gs} - V_{tp})}$$

3.2. MODÈLE EN PETIT SIGNAL DU TRANSISTOR MOS

Zone active ou régime saturé

Le transistor se comporte comme une source de courant commandée par V_{gs} . Deux conditions sont nécessaires pour considérer que le transistor est dans ce régime de fonctionnement : $V_{gs} < V_{tp}$ et $V_{ds} \geq V_{gs} - V_{tp}$. Voici donc l'expression du courant I_{ds} :

$$I_{ds} = K_{pp} \times \frac{W}{2 \times L} \times (V_{gs} - V_{tp})^2 \times \left(1 + \frac{V_{ds}}{\lambda \times V_{early} \times L}\right)$$

avec : K_{pp} = facteur de gain exprimé en $\mu A/V^2$. Pour obtenir des comportements similaires entre PMOS et NMOS, on applique : $K_{pn} \simeq 3 \times K_{pp}$, car le déplacement des électrons est environ trois fois plus rapide que celui des trous.

La transconductance g_m d'un transistor PMOS sera de la forme :

$$g_m = \frac{\delta I_{ds}}{\delta V_{gs}} = K_{pp} \times \frac{W}{L} \times (V_{gs} - V_{tp}) \times \left(1 + \frac{V_{ds}}{\lambda \times V_{early} \times L}\right) \simeq \sqrt{2 \times K_{pp} \times \frac{W}{L} \times I_{ds}}$$

Enfin, la conductance de sortie sera de la forme g_{ds} :

$$g_{ds} = \frac{\delta I_{ds}}{\delta V_{ds}} = K_{pp} \times \frac{W}{2 \times L} \times (V_{gs} - V_{tp})^2 \times \frac{1}{\lambda \times V_{early} \times L} \simeq I_{ds} \times \frac{1}{\lambda \times V_{early} \times L}$$

3.2 Modèle en petit signal du transistor MOS

Pour les calculs, le modèle équivalent en petit signal utilisé est représenté sur la figure 3.4. Le schéma de gauche présente le modèle équivalent complet tandis que le schéma de droite est un modèle simplifié que l'on utilisera pour estimer les caractéristiques de chaque étage.

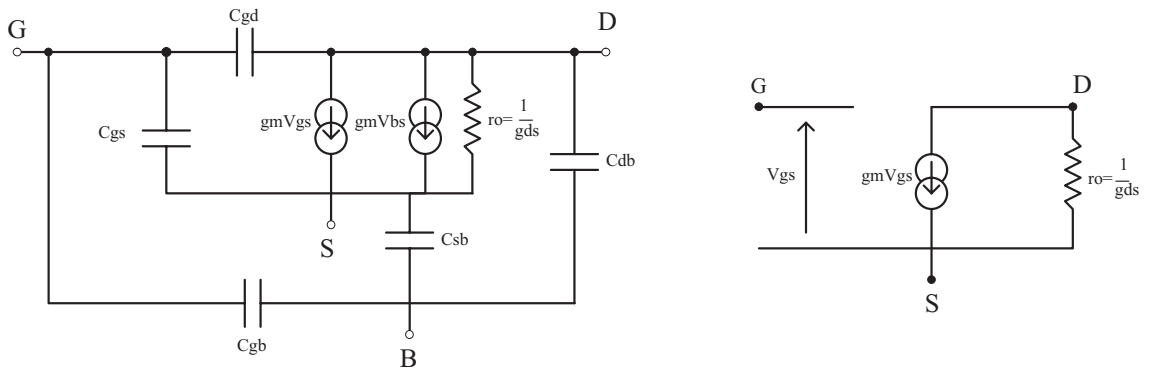


FIG. 3.4 – *Modèle équivalent en petit signal du transistor MOS.*

3.3 Caractéristiques techniques des transistors MOS suivant la technologie utilisée

Pendant cette thèse, trois technologies différentes ont été utilisées provenant du même fondeur Austriamicrosystems. Ce paragraphe répertorie les caractéristiques principales des transistors MOS de chaque technologie.

3.3.1 Technologie AMS 0,8 μm BiCMOS

Cette technologie fournie par le fondeur AMS est une technologie relativement ancienne et bien maîtrisée. Comme son nom l'indique, elle dispose de deux types de transistors, bipolaires et CMOS. La longueur minimale du canal de grille est de 0,8 μm . Les principaux composants disponibles sont des capacités et des résistances. Les capacités sont à base de polysilicium, chaque armature est composée d'une couche de polysilicium 1 et de polysilicium 2. Les résistances peuvent être réalisées avec deux types de polysilicium, un polysilicium classique et un polysilicium haute résistivité qui permettra de réaliser des résistances de grande valeur tout en occupant une surface raisonnable. Enfin la tension d'alimentation maximale supportée est de 5,5 V.

Caractéristiques techniques des transistors NMOS

Dans le tableau 3.1, on retrouve les principales caractéristiques des transistors NMOS, notamment les variations de tension de seuil, de dimensions et de facteur de gain.

Paramètres	Min	Typ	Max
Vto(20 $\mu\text{m} \times 0,8 \mu\text{m}$)	0,62 V	0,72 V	0,82 V
Leff(0,8 μm)	0,55	0,66	0,77
Weff(2 μm)	0,9	1,3	1,7
Kpn($\mu\text{A}/\text{V}^2$)	85	100	115

TAB. 3.1 – Le transistor NMOS en technologie 0,8 μm BiCMOS.

Ces données servent d'éléments de base dans la conception de nos différents systèmes et doivent être prises en compte pour retrouver en test des comportements similaires à la théorie. Prenons le cas des dimensions L_{eff} et W_{eff} , pour $L_{eff} = 0,66 \mu\text{m}$, nous avons une erreur de $\pm 20 \%$. Cette erreur est ramenée à $\pm 3,7 \%$ avec un L_{eff} de 3 μm . Même raisonnement pour un W_{eff} de 1,3 μm , cette erreur est de $\pm 31 \%$, et on arrive à une erreur de $\pm 4 \%$ pour une valeur de W de 10 μm . Pour les transistors sensibles à l'offset ², on utilise des dimensions minimales telles que $L = 3 \mu\text{m}$ et $W = 10 \mu\text{m}$ pour conserver

²Ce terme anglais sera utilisé dans l'ensemble du manuscrit pour des raisons de compréhension. Il correspond à l'erreur de décalage par rapport à une référence généralement zéro.

3.3. CARACTÉRISTIQUES TECHNIQUES DES TRANSISTORS MOS SUIVANT LA TECHNOLOGIE UTILISÉE

un rapport de composants dont les variations sont inférieures à 5%. Globalement, on peut considérer que la tension de seuil d'un transistor NMOS est de l'ordre de 800 mV et son facteur de gain est de $100 \mu A/V^2$.

Caractéristiques techniques des transistors PMOS

Les données répertoriées dans le tableau 3.2 présentent les caractéristiques des transistors de type PMOS en technologie $0,8 \mu m$.

Paramètres	Min	Typ	Max
Vto($20 \mu m \times 0,8 \mu m$)	-0,68 V	-0,77 V	-0,86 V
Leff($0,8 \mu m$)	0,64	0,76	0,88
Weff($2 \mu m$)	0,8	1,2	1,6
Kpp($\mu A/V^2$)	30	35	40

TAB. 3.2 – *Le transistor PMOS en technologie $0,8 \mu m$ BiCMOS.*

Pour les transistors de type PMOS sensibles à l'offset, les dimensions minimales utilisées sont $L = 3 \mu m$ et $W = 10 \mu m$. Ces valeurs sont déterminantes si on souhaite un fonctionnement en différentiel convenable. Pour ce qui est de la tension de seuil des transistors PMOS, cette dernière est du même ordre de grandeur (en valeur absolue) que pour les NMOS c'est à dire -800 mV. Enfin, le facteur de gain des PMOS est environ trois fois plus faible que celui des NMOS.

3.3.2 Technologie AMS $0,35 \mu m$ CMOS CSI

Cette technologie plus récente est développée par le fondeur AMS et dispose uniquement de transistors CMOS. Les différentes étapes technologiques nécessitent la réalisation de 15 masques avec au total 3 couches de métal. L'inconvénient majeur est l'absence de polysilicium haute résistivité, ce qui interdit l'utilisation de résistances "trop grosses" pour des raisons de coût. Cette technologie présente en revanche, le gros avantage de posséder deux types de transistors MOS :

- Un transistor destiné à la conception de blocs numériques qui supporte 3 V d'alimentation. La longueur minimale du canal de grille est de $0,35 \mu m$.
- Un transistor à oxyde de grille plus épais, destiné à la conception analogique et qui présente l'avantage de supporter 5 V d'alimentation. La longueur minimale du canal de grille est de $0,5 \mu m$.

La chute des tensions d'alimentation dans les technologies submicroniques représentent un réel danger pour le concepteur analogique. En effet, et notamment en physique des particules, les cahiers des charges sont très exigeants en terme de dynamique³. Or, le plus petit signal ne peut être en dessous du bruit, et le plus grand signal sera limité par notre

³Dynamique : rapport du plus grand signal sur le bruit

CHAPITRE 3. PROPRIÉTÉS PHYSIQUES ET TECHNOLOGIQUES DU TRANSISTOR MOS

tension d'alimentation ce qui réduit fortement notre dynamique. Seules les caractéristiques principales des transistors de type CMOS4 (5 V) seront présentées dans les paragraphes suivants.

Caractéristiques techniques des transistors NMOSm4

Le tableau 3.3 répertorie les caractéristiques concernant les erreurs systématiques de gravure, les variations de tension de seuil ainsi que les variations du facteur de gain.

Paramètres	Min	Typ	Max
$V_{to}(10\ \mu m \times 0,5\ \mu m)$	0,58 V	0,70 V	0,82 V
$L_{eff}(0,5\ \mu m)$	0,32	0,42	0,52
$W_{eff}(0,6\ \mu m)$	0,40	0,55	0,70
$K_{pn}(\mu A/V^2)$	80	100	120

TAB. 3.3 – *Le transistor NMOS en technologie 0,35 μm CMOS.*

L'erreur de gravure systématique nous interdit d'utiliser des transistors "trop petits" pour les transistors sensibles à l'offset. Ainsi, un transistor NMOSm4 aura les dimensions minimales suivantes : $W = 5\ \mu m$ et $L = 3\ \mu m$. La tension de seuil des NMOSm4, 700 mV, est légèrement meilleure qu'en technologie 0,8 μm , le facteur de gain est quant à lui inchangé.

Caractéristiques techniques des transistors PMOSm4

Le tableau 3.4 répertorie les caractéristiques concernant les erreurs systématiques de gravure, les variations de tension de seuil ainsi que les variations du facteur de gain.

Paramètres	Min	Typ	Max
$V_{to}(10\ \mu m \times 0,5\ \mu m)$	-0,78 V	-0,90 V	-1,02 V
$L_{eff}(0,5\ \mu m)$	0,64	0,74	0,84
$W_{eff}(0,6\ \mu m)$	0,40	0,55	0,70
$K_{pN}(\mu A/V^2)$	26	32	38

TAB. 3.4 – *Le transistor PMOS en technologie 0,35 μm CMOS.*

Pour les PMOSm4 sensibles à l'offset, la taille minimale est de $W = 5\ \mu m$ et $L = 3\ \mu m$. La tension de seuil, -900 mV, est en revanche moins bonne qu'en technologie 0,8 μm . Il existe donc un décalage de 200 mV en valeur absolu entre NMOS et PMOS qui devra être pris en compte dans la conception.

3.3. CARACTÉRISTIQUES TECHNIQUES DES TRANSISTORS MOS SUIVANT LA TECHNOLOGIE UTILISÉE

3.3.3 Technologie AMS 0,35 μm CMOS C35B4

Cette nouvelle technologie présente les mêmes caractéristiques que la 0,35 μm CMOS CSI. En revanche, elle dispose d'une couche de polysilicium haute résistivité qui nous permettra d'utiliser des résistances de plusieurs $\text{k}\Omega$.

Caractéristiques techniques des transistors NMOSm4

Le tableau 3.5 répertorie les caractéristiques de gravure, de tension de seuil et de facteur de gain.

Paramètres	Min	Typ	Max
$V_{to}(10\ \mu\text{m} \times 0,5\ \mu\text{m})$	0,6 V	0,7 V	0,8 V
$L_{eff}(0,5\ \mu\text{m})$	0,35	0,45	0,55
$W_{eff}(0,4\ \mu\text{m})$	0,20	0,35	0,50
$K_{pN}(\mu\text{A}/V^2)$	80	100	120

TAB. 3.5 – *Le transistor NMOS en technologie 0,35 μm CMOS C35.*

Pour les transistors NMOSm4, les dimensions minimales seront $W = 5\ \mu\text{m}$ et $L = 3\ \mu\text{m}$. La tension de seuil et le facteur de gain restent identiques à la technologie csi.

Caractéristiques techniques des transistors PMOSm4

Le tableau 3.6 répertorie les caractéristiques de gravure, de tension de seuil et de facteur de gain.

Paramètres	Min	Typ	Max
$V_{to}(10\ \mu\text{m} \times 0,5\ \mu\text{m})$	-0,85 V	-0,97 V	-1,09 V
$L_{eff}(0,5\ \mu\text{m})$	0,58	0,68	0,78
$W_{eff}(0,4\ \mu\text{m})$	0,20	0,35	0,50
$K_{pN}(\mu\text{A}/V^2)$	25	31	37

TAB. 3.6 – *Le transistor PMOS en technologie 0,35 μm CMOS C35.*

Pour les transistors PMOSm4, les dimensions minimales seront aussi $W = 5\ \mu\text{m}$ et $L = 3\ \mu\text{m}$. En revanche, la tension de seuil est pratiquement de -1 V, ce qui est encore moins bon qu'avec la technologie csi. Il y a donc un décalage de 300 mV entre NMOS et PMOS qu'il faudra prendre en compte dans l'élaboration de nos schémas.

Chapitre 4

L'amplificateur différentiel CMOS

En nous appuyant sur le cahier des charges fourni par les physiciens, quelques tendances se dégagent concernant l'électronique de premier niveau qui sera développée à l'aide du logiciel "Analog Artist" de chez Cadence. Pour ce qui est de l'amplificateur constituant la mise en forme, une première étape sera de développer un amplificateur très faible consommation pur CMOS dans une technologie éprouvée AMS $0,8\ \mu\text{m}$ BiCMOS. Le choix de cette technologie s'explique simplement par le fait que c'est la technologie utilisée au sein du laboratoire. Cette dernière présente un excellent compromis entre coût et performance. Ce prototype, complètement différentiel en entrée et en sortie, nous permettra de vérifier le principe de fonctionnement de cet étage. En revanche, étant donné les échéances de fabrication de la machine, on ne pourra raisonnablement pas utiliser une technologie $0,8\ \mu\text{m}$ dans la version définitive de la puce. Pour ce qui est de la consommation, on cherchera évidemment à ce qu'elle soit la plus faible possible.

Un second prototype d'amplificateur, basé sur le même schéma de principe, sera développé en utilisant une technologie CMOS $0,35\ \mu\text{m}$ qui présente le gros avantage d'être moins coûteuse et de conserver dans l'immédiat $5\ \text{V}$ d'alimentation. Cependant, quelle sera la tension d'alimentation disponible dans les futures technologies? Autre incertitude concernant l'offset des transistor MOS, des précautions, que nous détaillerons par la suite, devront être prises pendant la réalisation du dessin pour obtenir des résultats satisfaisant le cahier des charges.

4.1 Généralités sur les amplificateurs

Un amplificateur idéal est un montage qui fournit une tension de sortie proportionnelle à la différence des tensions d'entrée. Ces caractéristiques idéales doivent être les suivantes :

- gain différentiel, $A_d = \infty$,
- gain en mode commun, $A_{mc} = 0$,
- impédance d'entrée, $Z_e = \infty$,
- impédance de sortie, $Z_s = 0$,

- bande passante = ∞ ,
- tensions de décalages ou offset et dérives = 0.

Bien entendu, ce sont des valeurs idéales que l'on cherchera dans la pratique à approcher. Ces caractéristiques sont de plus directement liées au paramètre consommation qui dans notre application doit être la plus faible possible.

4.2 Caractéristiques techniques de l'amplificateur

La conception d'un amplificateur CMOS composant la mise en forme sera la première étape. D'un point de vue global, les caractéristiques techniques de cet élément sont une faible consommation ainsi qu'une grande dynamique d'entrée et de sortie. De plus, le coût de l'électronique doit aussi être pris en compte ce qui signifie qu'une technologie pure CMOS est plus avantageuse. Enfin, pour ce qui est de la consommation, une étape importante dans la conception de l'amplificateur sera de minimiser la consommation de chaque étage tout en conservant des caractéristiques en gain et en rapidité suffisantes à notre application.

En résumé, nous souhaitons concevoir un amplificateur dont les caractéristiques sont les suivantes :

- faible consommation sachant que l'on disposera de moins de 5 mW par voies de mesures,
- grande dynamique d'entrée et de sortie avec une dynamique de 15 bits,
- faible coût (lié à la surface de la puce) étant donné le grand nombre de voies de mesures (34 millions).

4.3 Structure générale du montage

L'amplificateur réalisé est la concaténation de deux montages issus de la bibliographie [22] :

- un amplificateur différentiel avec une compensation de mode commun résistive. Cette compensation de mode commun permet d'asservir le mode commun de sortie à 0 V sachant que ce potentiel correspond au milieu de notre tension d'alimentation ($\pm 2,5$ V),
- une architecture de type “rail à rail” en entrée et en sortie composée en entrée de deux paires différentielles constituées respectivement de transistors NMOS et de transistors PMOS. La sortie correspond à deux étages dits “rail à rail”.

4.3. STRUCTURE GÉNÉRALE DU MONTAGE

4.3.1 Amplificateur différentiel avec une compensation de mode commun résistive

Cet amplificateur est composé d'une paire différentielle à base de transistors NMOS à l'entrée et de charges actives constituées de transistors PMOS. La polarisation de ces charges actives est assurée par une diode elle même considérée comme une charge pour la paire différentielle assurant la compensation. Cette compensation de mode commun résistive asservit la sortie en permanence au potentiel nommé V_{ref} . L'étage de sortie est de type source commune.

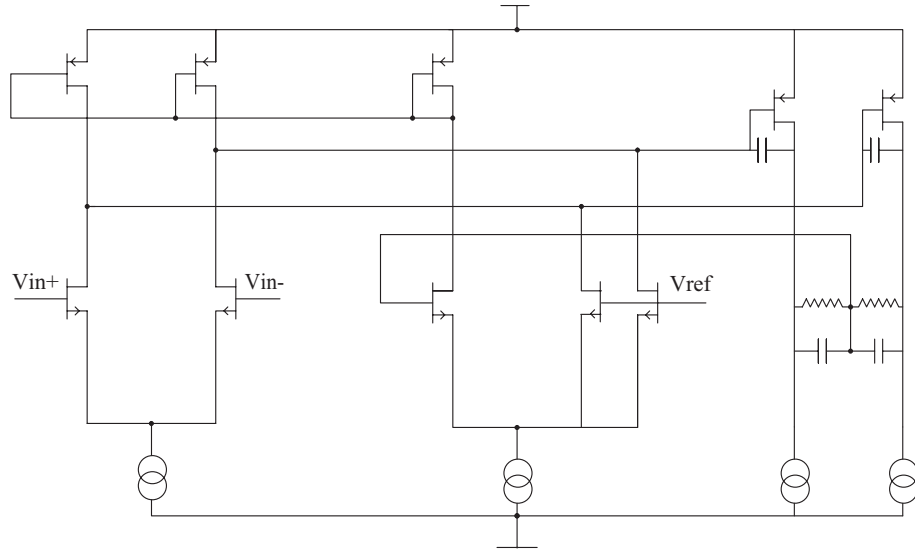


FIG. 4.1 – Amplificateur différentiel avec compensation de mode commun.

Paire différentielle d'entrée avec charge active

Comme dit précédemment, une paire différentielle NMOS compose l'étage d'entrée de cet amplificateur. Pour calculer son gain, nous avons besoin du schéma équivalent au transistor MOS en petit signal (cf figure 3.4), le schéma que nous utilisons est un schéma simplifié mais qui satisfait notre calcul et nous donne ainsi une bonne approximation du gain. Un calcul de ce type de montage en petit signal est le suivant :

$$\begin{cases} V_{in1} = V_{in} \\ V_{in2} = -V_{in} \\ V_{out1} = (-g_{m_p} \times V_{pol} + g_{m_n} \times V_{in}) \times \left(\frac{1}{g_{ds_p} + g_{ds_n}} \right) \\ V_{out2} = (-g_{m_p} \times V_{pol} - g_{m_n} \times V_{in}) \times \left(\frac{1}{g_{ds_p} + g_{ds_n}} \right) \end{cases}$$

CHAPITRE 4. L'AMPLIFICATEUR DIFFÉRENTIEL CMOS

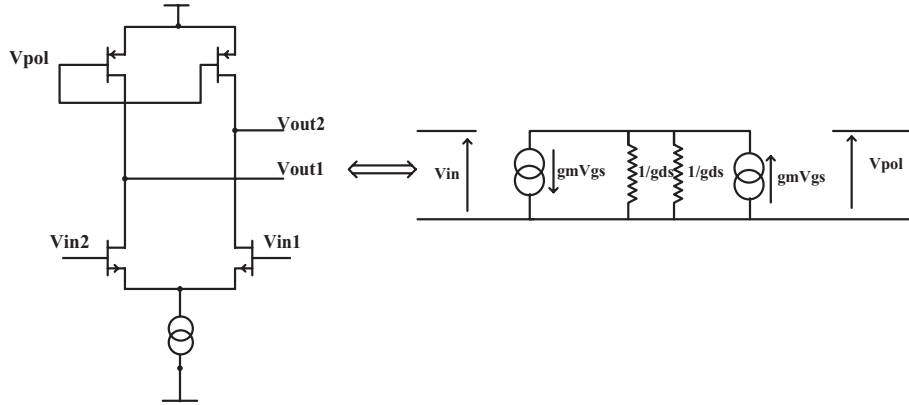


FIG. 4.2 – Paire différentielle avec charge active.

En conséquence on obtiendra aisément les équations :

$$\begin{cases} V_{in1} - V_{in2} = 2 \times V_{in} \\ V_{out1} - V_{out2} = 2 \times g_{m_n} \times V_{in} \times \frac{1}{g_{ds_p} + g_{ds_n}} \end{cases}$$

On trouve ainsi une valeur approchée du gain de la forme :

$$\boxed{G = \frac{V_{out}}{V_{in}} = \frac{g_{m_n}}{g_{ds_p} + g_{ds_n}}} \quad (4.1)$$

Le gain est directement proportionnel à la transconductance des transistor NMOS. On sait aussi d'après la formule 3.1.1 que g_m est proportionnel au rapport $\frac{W}{L}$ du transistor. Il faut donc chercher à augmenter W et à diminuer L pour augmenter le g_m de cet étage. Pour ce qui est des g_{ds} directement proportionnels à $\frac{W}{2 \times L^2}$, on cherchera à les minimiser : il faudra pour cela augmenter L et diminuer W . Un compromis sera donc nécessaire. De plus, pour des paires d'entrées différentielles, on souhaitera minimiser l'offset ce qui signifie que L ne peut pas être trop petit en raison de l'erreur de gravure (cf chapitre 3.3).

Compensation de mode commun basé sur une paire différentielle

L'étage intermédiaire qui permet d'asservir le mode commun va influencer la polarisation de la charge active du premier étage et ainsi modifier le V_{gs} des transistors de l'étage de sortie "rail à rail" pour retrouver la valeur de référence que l'on souhaite. Pour expliquer le principe de fonctionnement, nous nous appuierons sur un exemple. Si le mode commun de sortie est inférieur au potentiel dit de référence, il y aura un déséquilibre dans la paire différentielle de compensation qui se traduira par une baisse du courant aux bornes de la diode. Cette baisse de courant est recopiée par effet miroir dans les charges actives de la paire différentielle d'entrée. Ceci entraîne un point de polarisation plus faible

4.3. STRUCTURE GÉNÉRALE DU MONTAGE

sur les grilles des transistors de la sortie rail à rail et ainsi le mode commun de sortie remonte. Ce cycle se reproduit indéfiniment afin de stabiliser ce mode commun au potentiel de référence, dans notre cas 0 V.

Etage de sortie de type source commune

Enfin, l'étage de sortie est un étage classique de type source commune qui possède une grande impédance de sortie. Les capacités entre grille et drain servent à stabiliser le système. Ce type de montage fonctionne correctement en petit signal, mais n'est pas opérationnel pour les grands signaux.

4.3.2 Amplificateur différentiel avec architecture d'entrée et de sortie rail à rail

Cet amplificateur est composé de deux entrées différentielles : l'une est constituée de transistors NMOS et l'autre de transistors PMOS. Pour conserver des caractéristiques en vitesse identiques entre N et P, on utilise des transistors P trois fois plus grands que les N. En effet, les porteurs qui sont des électrons dans les transistors de type N sont trois fois plus rapides que les trous. Chaque paire différentielle possède une sortie en mode commun qui attaque un étage "rail à rail". Ce montage permet d'obtenir une grande dynamique de sortie pouvant aller jusqu'aux tensions d'alimentation.

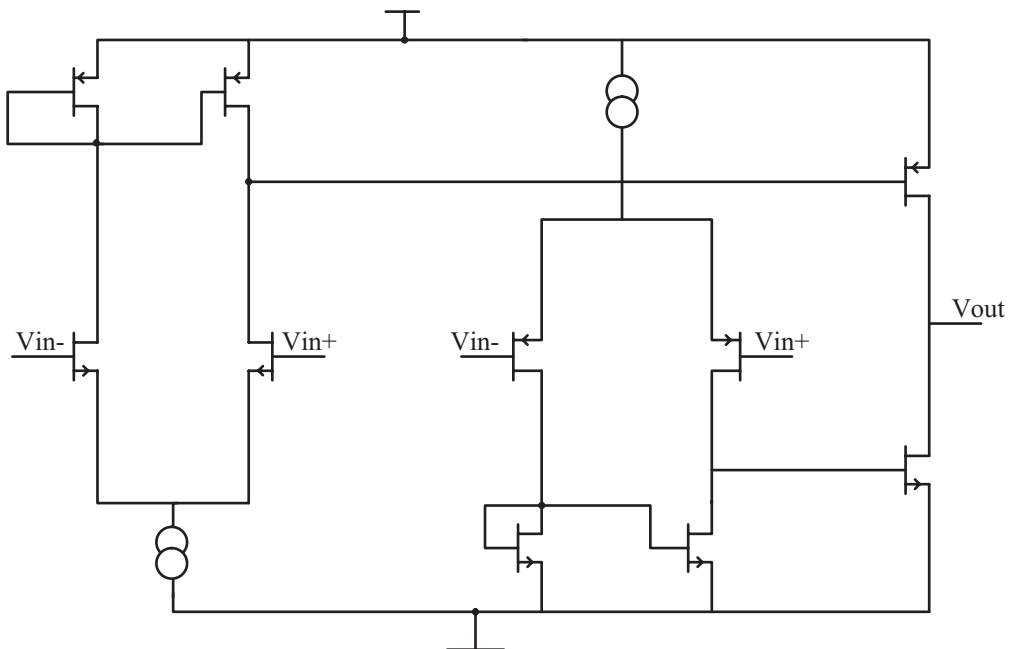


FIG. 4.3 – Architecture de type rail à rail en entrée et en sortie.

Entrée différentielle “rail à rail”

L'entrée différentielle de type “rail à rail” est définie suivant trois régimes de fonctionnement comme représenté dans la figure 4.4 :

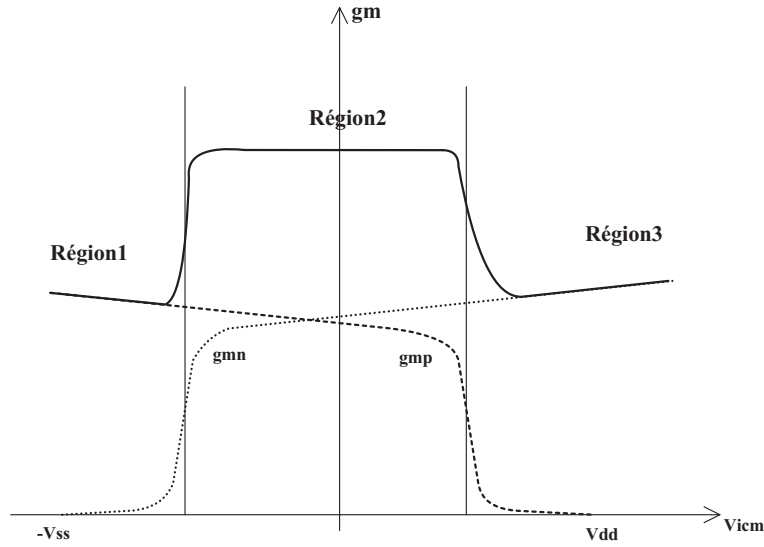


FIG. 4.4 – Variation de la transconductance de l'étage d'entrée.

- Lorsque la tension de mode commun notée V_{icm} est inférieure à une tension telle que la paire différentielle NMOS n'est plus polarisée correctement, c'est la paire différentielle PMOS qui fonctionne. Dans ce cas, la transconductance totale est la transconductance du transistor PMOS.

$$V_{icm} < V_{limn} = V_{ss} + V_{dss} + V_{gs}$$

- Lorsque cette tension de mode commun est comprise entre ces deux limites hautes et basses, les deux paires différentielles fonctionnent de façon simultanée. Dans ce cas, la transconductance totale est la somme des deux transconductances.

$$V_{ilmp} > V_{icm} > V_{limn}$$

- Lorsque la tension dite de mode commun des entrées est supérieure à une tension telle que la paire différentielle PMOS n'est plus polarisée correctement, c'est la paire différentielle NMOS qui fonctionne. Dans ce cas, la transconductance totale est la transconductance du transistor NMOS.

$$V_{icm} > V_{limp} = V_{dd} - V_{dss} - V_{gs}$$

4.3. STRUCTURE GÉNÉRALE DU MONTAGE

L'inconvénient d'un tel montage est que la transconductance de l'étage d'entrée n'est pas fixe et peut varier de g_m à $2g_m$. Une variation de la transconductance entraîne évidemment une variation du produit gain bande de l'amplificateur et influe aussi sur sa marge de phase et donc sa stabilité. Dans notre cas, on cherchera à se placer dans la région 2 de façon à exploiter les caractéristiques maximales de l'amplificateur. En effet, notre dynamique d'entrée se limitera vraisemblablement à 2 V. Cependant, des astuces existent pour conserver un gain de $2 \times g_m$ sur toute la gamme d'entrée [38, 34, 16, 6, 25, 24]. Dans l'immédiat, ces solutions ne seront pas mises en oeuvre car elles sont la source de consommation supplémentaire. De plus, le gain total de l'amplificateur permet de tolérer cet inconvénient.

Gain des paires différentielles d'entrée

L'étage d'entrée de ce montage est composé de deux paires différentielles. Le calcul du gain est fait uniquement pour les transistors PMOS, on utilise le schéma équivalent au transistor MOS en petit signal et on arrive au système d'équations suivant :

$$\begin{cases} V_{cont} = \frac{gm_p}{gm_n + gds_p + gds_n} \times V_{in} \\ V_{out} = (-gm_n \times V_{cont} - gm_p \times V_{in}) \times \left(\frac{1}{gds_p + gds_n}\right) \end{cases}$$

$$\rightarrow V_{out} = \left(\frac{-gm_n \times gm_p}{gm_n + gds_p + gds_n} \times V_{in} - gm_p \times V_{in}\right) \times \left(\frac{1}{gds_p + gds_n}\right)$$

$$\rightarrow V_{out} = \frac{-gm_p}{gds_n + gds_p} \times V_{in} \times \left(1 + \frac{gm_n}{gm_n + gds_p + gds_n}\right)$$

$$\rightarrow V_{out} = \frac{-2 \times gm_p}{gds_n + gds_p} \times V_{in}$$

$$\boxed{G = \frac{V_{out}}{V_{in}} = \frac{-gm_p}{gds_p + gds_n}} \quad (4.2)$$

Le gain de la paire différentielle composée des transistors NMOS est de la même forme.

$$\boxed{G = \frac{V_{out}}{V_{in}} = \frac{-gm_n}{gds_p + gds_n}} \quad (4.3)$$

La sortie "rail à rail"

Cet étage de sortie permet d'obtenir une grande dynamique de sortie ; en revanche, ce type d'étage fait l'objet d'importantes variations de consommation. En effet, le gain de cet étage est très important, c'est pourquoi une compensation du mode commun de sortie est indispensable.

4.3.3 Association des deux montages précédents

L'association des deux schémas précédents nous permet d'avoir un amplificateur de type rail à rail en entrée et en sortie, le mode commun de la sortie étant asservi au milieu de la tension d'alimentation. Deux paires différentielles de type NMOS et PMOS composent l'étage d'entrée. Les charges sont des transistors de type charge active, ce qui entraîne un gain important sur cette étage d'entrée. Ces paires différentielles attaquent l'étage dit "rail à rail" qui possède également un grand gain. Pour asservir la sortie à 0 V en mode commun, un système de compensation de mode commun de type résistif est mis en place basé sur une paire différentielle qui commande la polarisation de la charge du système d'entrée et ainsi asservit en permanence le mode commun de sortie. Voici le synoptique de l'amplificateur sur la figure 4.5 :

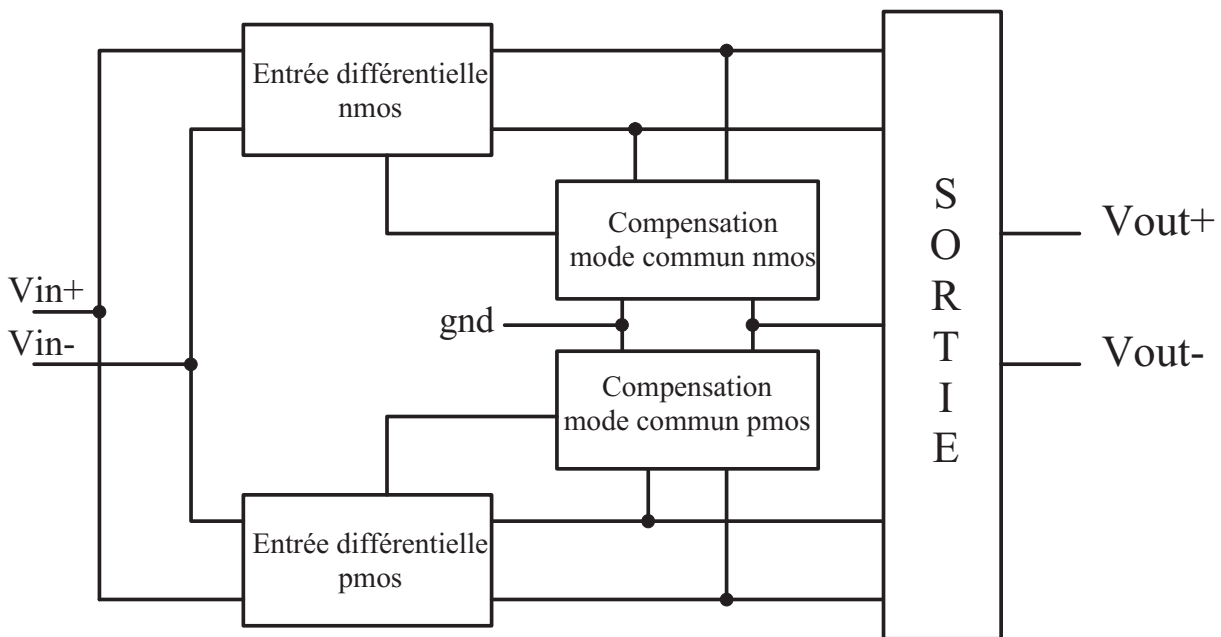


FIG. 4.5 – *Synoptique de l'amplificateur.*

La conception d'un amplificateur de ce type a été faite en minimisant le paramètre consommation ce qui va à l'encontre des performances en vitesse. En prenant en compte les incertitudes données par le fondeur, on utilisera des transistors relativement grands pour les paires d'entrée différentielles de façon à minimiser l'offset.

4.4. L'AMPLIFICATEUR DÉVELOPPÉ EN $0,8 \mu\text{m}$ BiCMOS

4.4 L'amplificateur développé en technologie $0,8 \mu\text{m}$ BiCMOS

4.4.1 Le prototype : décomposition schématique

Un premier prototype, développé dans une technologie $0,8 \mu\text{m}$ BiCMOS dite éprouvée, a été réalisé. Ce schéma n'utilise que des transistors de type CMOS. L'amplificateur correspond à la figure 4.6 :

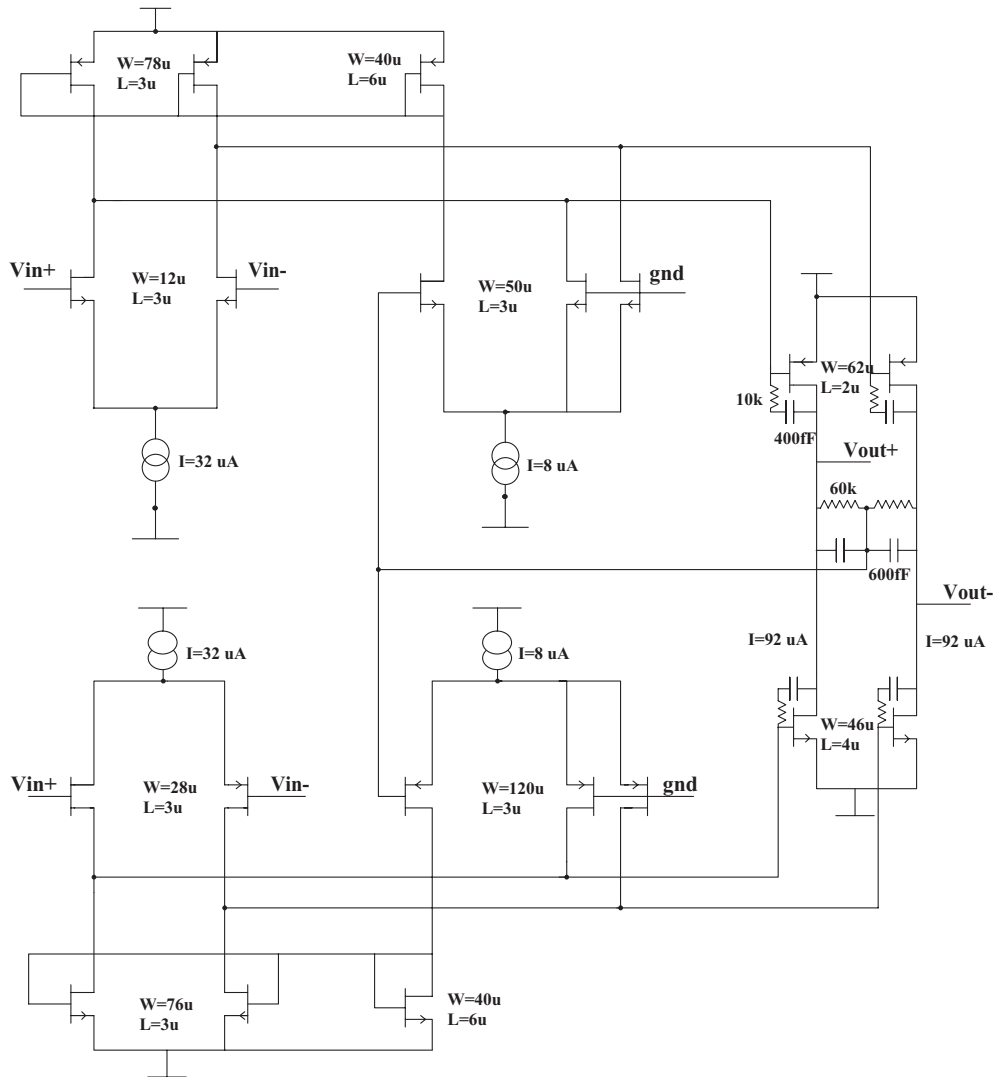


FIG. 4.6 – L'amplificateur développé en technologie $0,8 \mu\text{m}$

Les niveaux de courant ont été choisis en prenant en compte deux paramètres, la faible consommation et un produit gain bande minimum de l'amplificateur de l'ordre de 50 MHz. Les paires différentielles d'entrées de type NMOS et PMOS ont un gain de 150

CHAPITRE 4. L'AMPLIFICATEUR DIFFÉRENTIEL CMOS

et une bande passante de 7 kHz. L'étage "rail à rail" consomme au total $200 \mu A$, ce qui est la principale source de consommation du montage.

Le rapport de trois entre les transistors de type PMOS et de type NMOS est appliqué à tous les sous-ensembles actifs de l'amplificateur. Ce sera donc le cas pour les paires d'entrées différentielles, les paires différentielles assurant la compensation du mode commun et l'étage de sortie rail à rail. Ce montage est parfaitement symétrique.

4.4.2 Caractéristiques de l'amplificateur en simulation schématique

L'amplificateur est alimenté entre $\pm 2,75 V$ et consomme au total $300 \mu A$. Le "slew rate" ¹ a été mesuré en gain de un avec des résistances de $10 k\Omega$, on peut l'estimer à :

$$S = \frac{dV_s}{dt} = \frac{4.5V}{50ns} = 90 V/\mu s$$

Les principales caractéristiques de l'amplificateur sont exposées dans le tableau 4.1 et ont été obtenues à l'aide du simulateur.

Paramètres	Amplificateur en B.O.
Alimentation	$\pm 2,75 V$
Consommation	1,6 mW
Produit Gain Bande	40 Mhz
Gain en mode commun	970 μ
RRMC(théorique)	136 dB
RRMC(utile)	192 dB
Slew rate	90 $V/\mu s$
Marge de phase	76 degrés

TAB. 4.1 – *Caractéristiques de l'amplificateur développé en technologie $0,8 \mu m$ BiCMOS.*

Une précision concernant les taux de réjection du mode commun : celui-ci est dans le premier cas de l'ordre de 136 dB. La formule utilisée pour calculer ce dernier est la suivante :

$$RRMC = \frac{A_d}{A_{mc}} = \frac{(V_{s1} - V_{s2}) \times (V_{e1} + V_{e2})}{(V_{e1} - V_{e2}) \times (V_{s1} + V_{s2})}$$

Mais de façon plus courante, la formule utilisée sera de cette forme et on obtient ainsi -192 db :

$$RRMC = \frac{(V_{s1} - V_{s2})}{\frac{(V_{e1} + V_{e2})}{2}}$$

Ces résultats sont à prendre avec précaution car ils ne tiennent pas compte des variations dues à l'appariement des composants. En effet, on constate une variation de

¹ Terme anglais utilisé couramment dans le domaine pour définir la variation de la tension de sortie en fonction du temps à grand signal.

4.4. L'AMPLIFICATEUR DÉVELOPPÉ EN $0,8 \mu\text{m}$ BiCMOS

100% sur les RRMC simulés lorsque l'on réalise une analyse Monte-Carlo. La courbe 4.7 présente respectivement le gain et la phase de l'amplificateur.

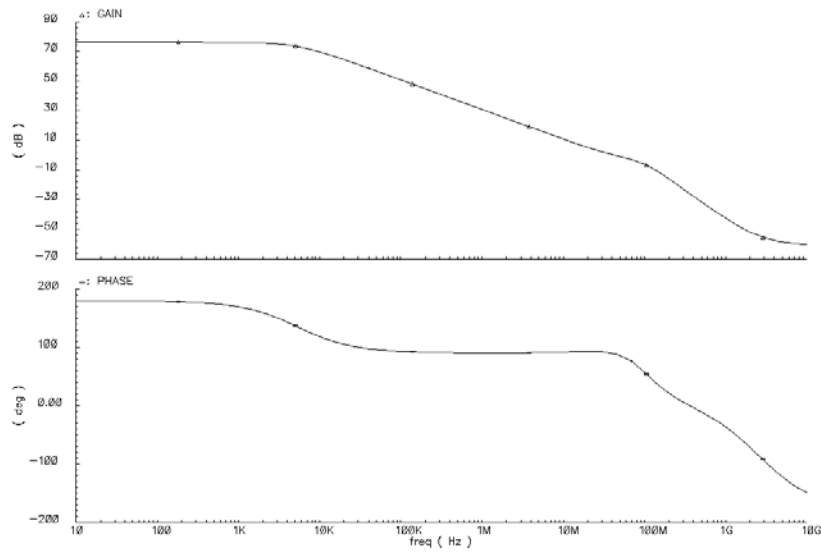


FIG. 4.7 – *Résultats de simulation : gain et phase.*

Comme décrit précédemment, l'entrée de type "rail à rail" ne présente pas une transconductance constante, en effet, celle-ci varie entre g_m et $2 \times g_m$. D'après les simulations, en appliquant à l'entrée un signal différentiel compris entre $\pm 1 V$, la transconductance est de $2 \times g_m$. Dans notre application le signal en sortie du préamplificateur sera de 2 V maximum, on définit donc notre dynamique d'entrée de l'amplificateur de la mise en forme à $\pm 1 V$.

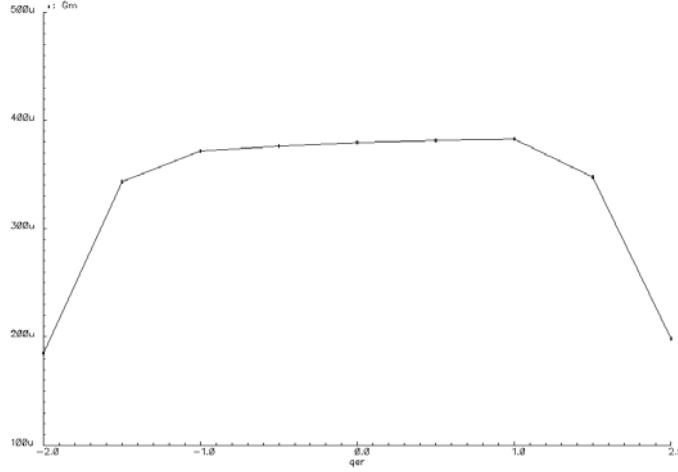


FIG. 4.8 – Variation de la transconductance des paires différentielles d'entrées.

4.4.3 Caractéristiques en simulation de l'amplificateur monté en intégrateur

Cet amplificateur est monté en intégrateur (cf figure 4.9), sa fréquence de coupure est définie par : $f = \frac{1}{2 \times \pi \times RC}$. Les valeurs utilisées dans le prototype sont $R = 100 \text{ k}\Omega$ et $C = 1 \text{ pF}$. On trouve ainsi une constante de temps τ qui vaut 100 ns. Cette constante de temps est définie par l'intervalle entre deux collisions fixé à 350 ns et la chaîne de filtrage. Le système de remise à zéro étant rapide 30 ns pour un signal de 2 V différentiel en entrée, on peut éventuellement envisager un intervalle entre deux collisions de 150 ns comme ce pourrait être le cas par la suite.

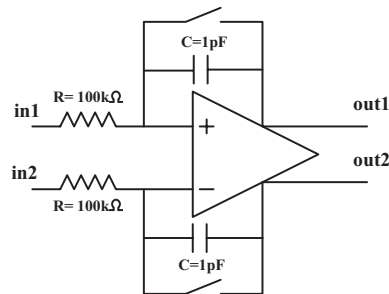


FIG. 4.9 – Amplificateur en intégrateur avec remise à zéro.

4.4. L'AMPLIFICATEUR DÉVELOPPÉ EN $0,8 \mu\text{m}$ BiCMOS

On rajoute en sortie de l'intégrateur un système de deux suiveurs rail à rail. Cet étage nous permet d'attaquer une charge de $2 \text{ k}\Omega$. Les résultats de simulation exposés ci-dessous présentent le comportement de l'intégrateur en fonction de son signal d'entrée qui varie entre -2 V et $+2 \text{ V}$ différentiel, par pas de 200 mV . Le temps de remise à zéro dépend de l'amplitude du signal d'entrée et varie entre 10 ns et 60 ns . Pour la plage de fonctionnement en entrée qui nous intéresse, c'est à dire 2 V différentiel, ce temps de remise à zéro varie entre 0 et 30 ns .

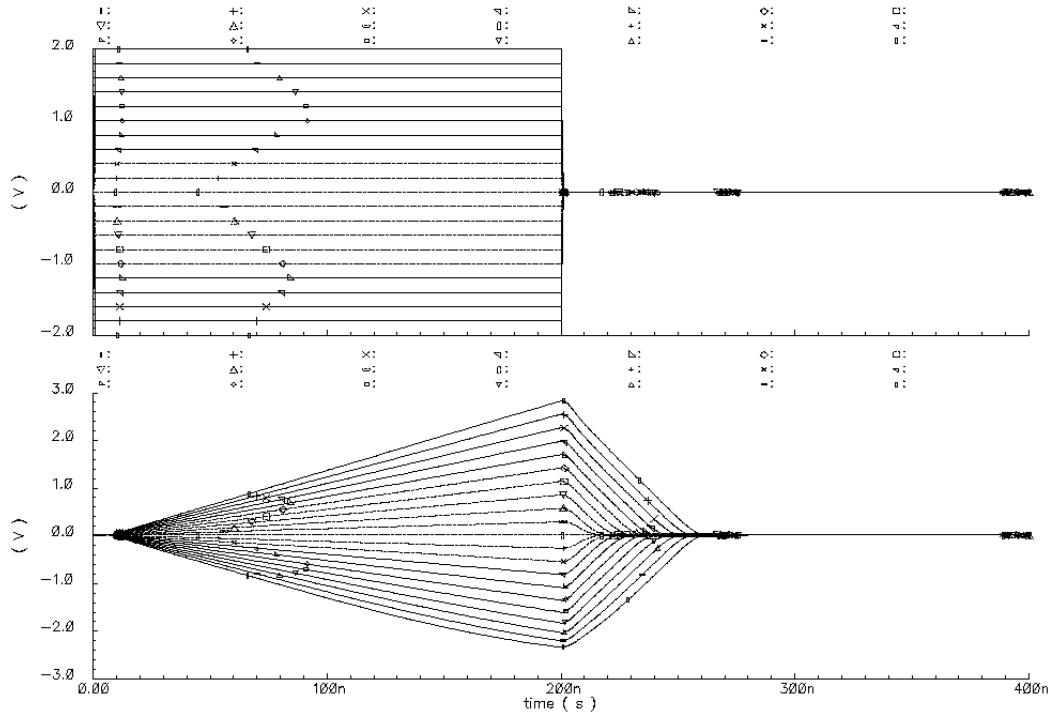


FIG. 4.10 – *Analyse paramétrique de l'intégrateur.*

A l'aide du simulateur, une mesure de bruit de l'intégrateur a été effectuée. Le bruit est de 100 nV^2 , ce qui correspond à $300 \mu\text{V rms}$.

4.4.4 Règles de dessins mises en oeuvre pour l'élaboration de l'amplificateur

L'amplificateur est exclusivement constitué de transistors CMOS. Il faut donc respecter des règles de dessin élémentaires qui permettront d'obtenir un appariement convenable entre les différents transistors.

- Il faut utiliser des géométries de transistors identiques, les paramètres W et L seront les mêmes.
- Il faut utiliser des aires actives importantes, l'aire active correspondant au produit W, L .
- Il faut orienter les transistors dans la même direction (pour éviter le stress).
- On doit placer les transistors proches les uns des autres.
- Le layout doit être le plus compact possible.
- Il faut mettre en oeuvre la technique de centroïde.
- Il faut placer les transistors dans des surfaces à faible stress de gradient et loin des composants de puissance.

Pour obtenir des résultats semblables à la simulation après fonderie, le dessin des masques doit être réalisé en respectant toutes ces contraintes. En ce qui concerne l'amplificateur, la technique du dessin en centroïde des composants est utilisée. Cette technique consiste à minimiser les dispersions entre les composants dont on souhaite que les valeurs soient les plus proches possibles. Cette méthode de dessin est utilisée principalement dans les paires différentielles d'entrées ; en effet, ce sont elles qui déterminent l'offset du système global.

Dans notre application, on généralisera cette technique de dessin à l'ensemble du circuit pour respecter cette symétrie. On dessinera donc en centroïde les blocs suivants :

- Les paires différentielles d'entrées.
- Les charges des paires différentielles d'entrée qui sont des transistors. La diode servant à polariser ces dernières sera mise à côté.
- Les miroirs de courant, le rapport des courants est un facteur déterminant dans le schéma. C'est pourquoi les esclaves de chacune des paires différentielles seront aussi dessinés en croix.
- Les paires différentielles effectuant les compensations en mode commun.
- L'étage de sortie rail to rail avec d'un côté les transistors NMOS et de l'autre les PMOS.
- Les réseaux de compensation fréquentielle de type RC.
- Les résistances et capacités de contre réaction qui forment l'intégrateur.

4.4. L'AMPLIFICATEUR DÉVELOPPÉ EN 0,8 μm BiCMOS

4.4.5 Résultats de tests de l'intégrateur

Les tests sont effectués de la façon suivante : sur les entrées, on place une résistance de 50 Ω à la masse et les sorties sont polarisées avec des résistances de 3 k Ω à la masse. En fixant le temps d'intégration à 200 ns, on a une équation de la tension de sortie fonction de la tension d'entrée telle que :

$$\begin{aligned} U_{\text{sortie}} &= \frac{-1}{R \times C} \times \int_0^T U_{\text{entrée}} dt \times \text{Gain}_{\text{suiveurs}} \\ U_{\text{sortie}} &= \frac{-1}{100\text{ns}} \times \int_0^{200\text{ns}} U_{\text{entrée}} dt \times \text{Gain}_{\text{suiveurs}} \end{aligned}$$

$$\boxed{U_{\text{sortie}} = -2 \times U_{\text{entrée}} \times \text{Gain}_{\text{suiveurs}}} \quad (4.4)$$

La courbe 4.11 est obtenue en sortie de notre puce. On constate un comportement tout à fait identique à la simulation. Dans l'exemple, le signal d'entrée est de 500 mV et le temps de remise à zéro est de 20 ns.

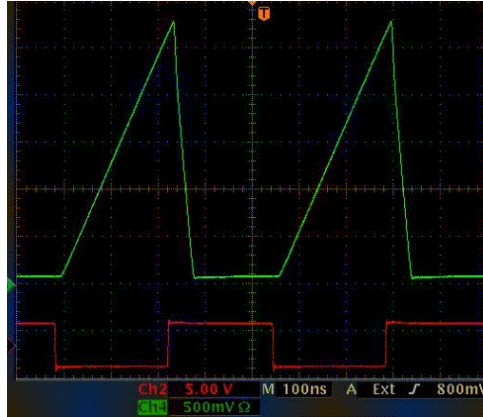


FIG. 4.11 – Résultats observés sur la puce.

Mesure de linéarité

Nos mesures de linéarité sont faussées par la présence de ces 2 suiveurs MOS en sortie. Le gain en sortie du système est équivalent approximativement à 0,7 * le signal en sortie du rail à rail. Dans le tableau 4.2, on mesure la linéarité de l'intégrateur. L'erreur de mesure est donnée par l'oscilloscope :

$$\Delta = \pm 0,02 \times |\text{mesure}| + 0,05 \times \text{division}$$

A partir de ces données, on estime que l'erreur de linéarité est inférieure à 1% sur toute la gamme dynamique.

CHAPITRE 4. L'AMPLIFICATEUR DIFFÉRENTIEL CMOS

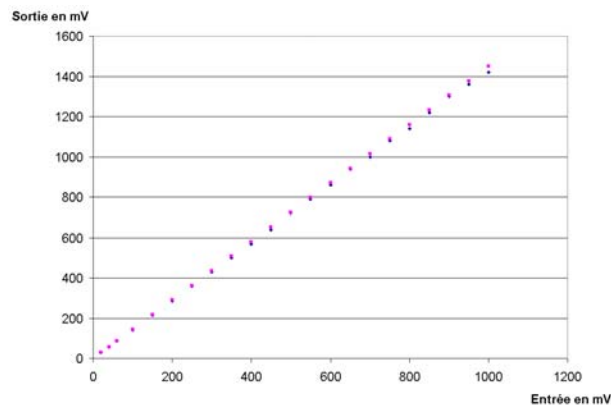


FIG. 4.12 – Mesure de linéarité de l'intégrateur en 0,8 μm .

Entrée (en mV)	10	20	40	60	100	150	200	250	300	350	400
$\Delta_{\text{entrée}}$ (en mV)	1	1	1	1	2	3	5	6	7	8	9
Sortie (en mV)	15	31	58	86	142	215	285	360	430	500	570
Δ_{sortie} (en mV)	1	1	1	2	3	5	6	8	10	11	12
Entrée (en mV)	450	500	550	600	650	700	750	800	850	900	950
$\Delta_{\text{entrée}}$ (en mV)	10	11	12	13	14	15	16	18	19	20	21
Sortie (en mV)	640	720	790	860	940	1000	1080	1140	1220	1300	1360
Δ_{sortie} (en mV)	14	15	17	19	21	22	24	25	26	28	29

TAB. 4.2 – Variations de la tension de sortie en fonction de l'entrée.

Offset de l'intégrateur

L'offset moyen constaté sur les 10 puces est de 6 mV avec un écart-type de 3 mV. L'histogramme 4.13 présente l'offset mesuré sur l'ensemble des circuits.

Puce	1	2	3	4	5	6	7	8	9	10
Offset (en mV)	6	5	9	7	4	4	5	6	5	4

TAB. 4.3 – Offset de l'intégrateur.

4.4. L'AMPLIFICATEUR DÉVELOPPÉ EN $0,8\ \mu\text{m}$ BiCMOS

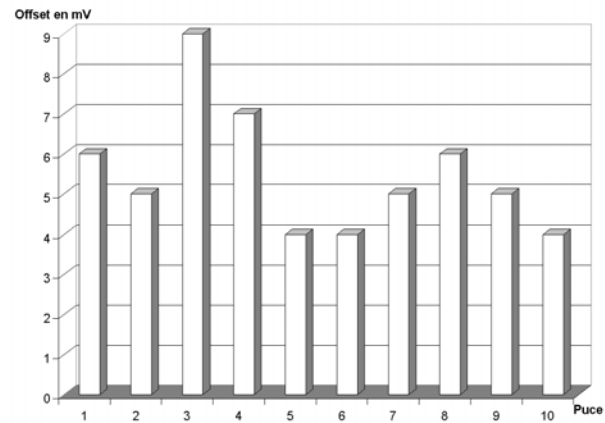


FIG. 4.13 – *Offset de l'intégrateur en $0,8\ \mu\text{m}$.*

4.5 L'amplificateur développé en technologie 0,35 μm CMOS CSI

Une nouvelle version de l'amplificateur a été réalisée et testée dans une technologie AMS 0,35 μm CMOS.

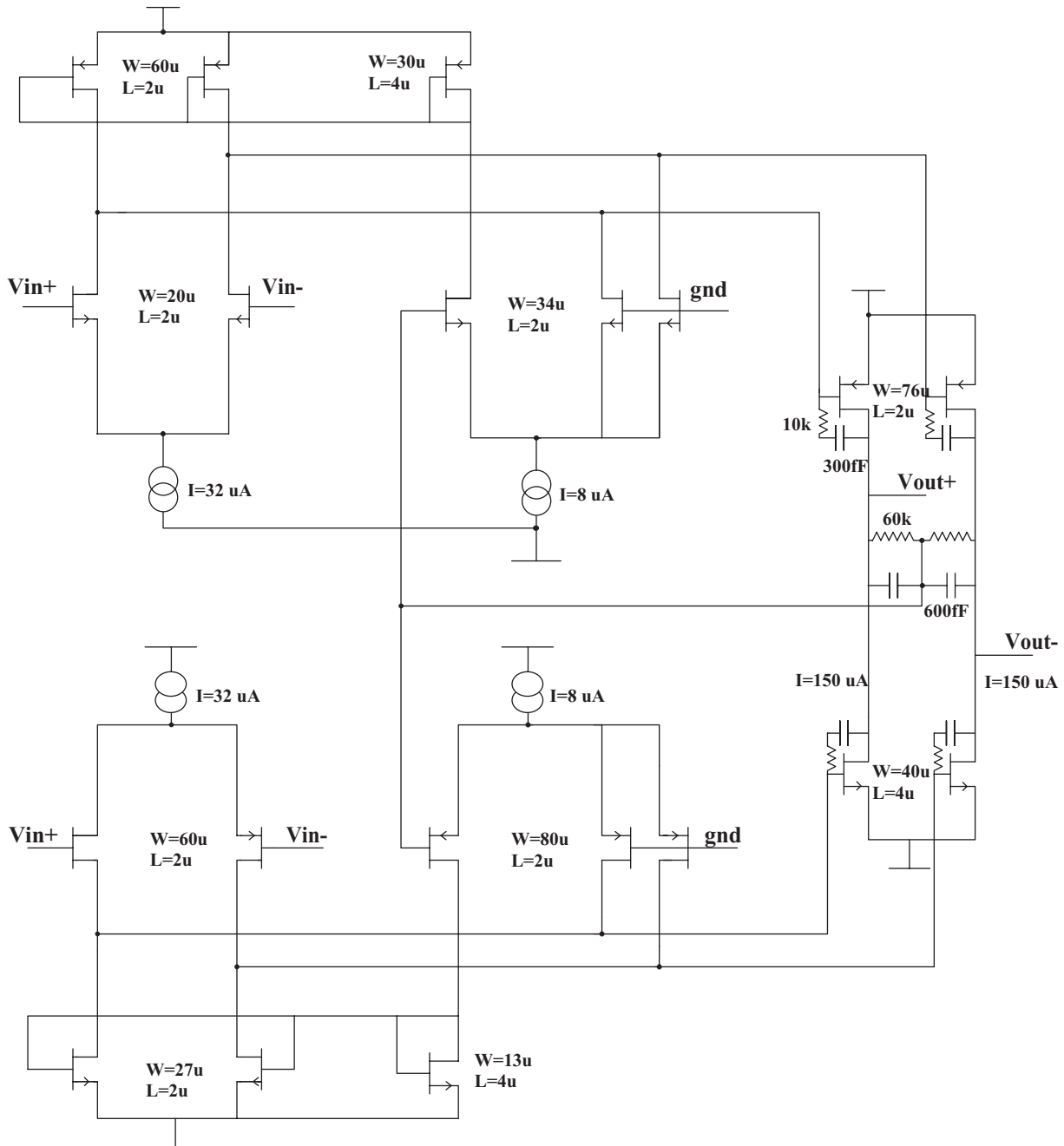


FIG. 4.14 – Architecture de l'amplificateur en technologie 0,35 μm .

4.5. L'AMPLIFICATEUR DÉVELOPPÉ EN $0,35 \mu\text{m}$ CMOS CSI

On rappellera que la conception de cet amplificateur a été faite en minimisant le paramètre consommation ce qui va à l'encontre des performances en vitesse. De plus, en prenant en compte les incertitudes données par le fondeur, on utilisera des transistors relativement grands pour les paires d'entrée différentielles de façon à minimiser l'offset. Le schéma de principe de l'amplificateur est le même que celui décrit précédemment en $0,8 \mu\text{m}$ BiCMOS. Les paramètres des composants ont été affinés en fonction des données fondeurs pour conserver les mêmes caractéristiques que la version $0,8 \mu\text{m}$. L'architecture précédemment développée en $0,8 \mu\text{m}$ était alimentée entre $\pm 2,75\text{V}$. Le choix que nous avons fait pour développer ce premier prototype en $0,35 \mu\text{m}$ est d'alimenter le circuit entre $\pm 2,5\text{V}$. On se servira donc dans l'immédiat uniquement de transistors CMOS4. Le prototype fondu en technologie $0,35 \mu\text{m}$ comprend deux amplificateurs bouclés :

- L'un avec un système de rétroaction résistif et un gain de 100.
- L'autre avec un système de rétroaction capacitif et un gain de 2, ce dernier sera détaillé dans le chapitre concernant le convertisseur analogique numérique.

4.5.1 Amplificateur en boucle ouverte : résultats de simulation.

Le tableau 4.4 donne les principales caractéristiques en simulation.

Paramètres	Amplificateur en B.O.
Alimentation	$\pm 2,5 \text{ V}$
Consommation	2 mW
Produit Gain Bande	50Mhz
Gain en mode commun	620μ
RRMC(théorique)	144 dB
RRMC(pratique)	176 dB
Slew rate	$95 \text{ V}/\mu\text{s}$
Marge de phase	73 degrés

TAB. 4.4 – *Caractéristiques de l'amplificateur développé en technologie $0,35 \mu\text{m}$ CMOS.*

Les caractéristiques des deux amplificateurs sont sensiblement les mêmes, à l'exception de la consommation et du taux de réjection en mode commun de l'amplificateur. La version en $0,35 \mu\text{m}$ a été optimisée pour répondre au mieux au fonctionnement de notre convertisseur analogique numérique pipeline. Pour ce qui est de la non variation de la transconductance (cf figure 4.15), une plage de $\pm 1 \text{ V}$ en entrée est satisfaisante.

4.5.2 Amplificateur bouclé en gain 100

Cette amplificateur est bouclé en gain 100 avec des résistances de type rpoly2 respectivement égales à 300Ω et à $30 \text{ k}\Omega$. Aucune précaution de dessin n'a été mise en oeuvre pour appairer ces résistances.

CHAPITRE 4. L'AMPLIFICATEUR DIFFÉRENTIEL CMOS

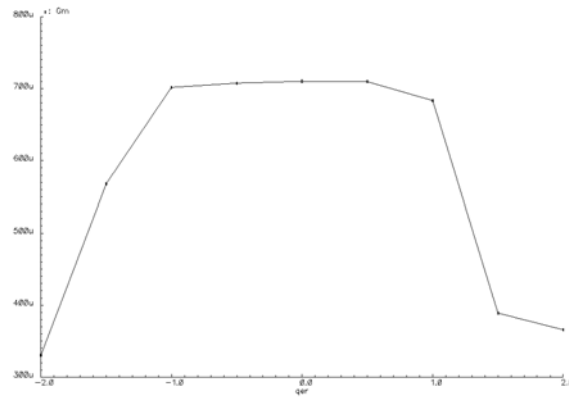


FIG. 4.15 – *Variation de la transconductance des paires différentielles d'entrées.*

Résultats de simulation

Les caractéristiques principales (cf figure 4.16) de cet amplificateur en gain 100 sont en simulation, un gain de 98 et une bande passante de 900 kHz.

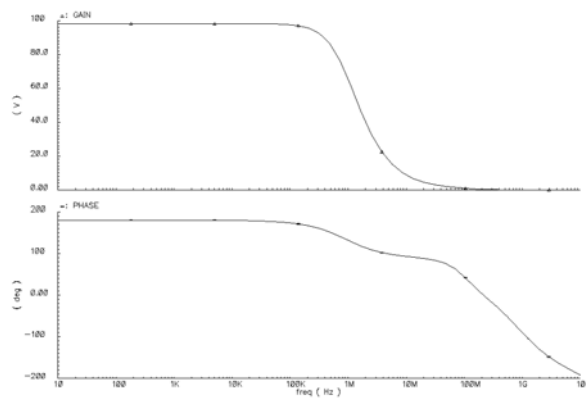


FIG. 4.16 – *Simulation de l'amplificateur en gain 100 : gain et phase.*

4.5. L'AMPLIFICATEUR DÉVELOPPÉ EN $0,35 \mu\text{m}$ CMOS CSI

Résultats de tests

Mesures de linéarité : Pour obtenir des signaux d'entrées suffisamment faibles afin de ne pas saturer l'amplificateur en sortie (alimentation $\pm 2,5 \text{ V}$), on utilise un atténuateur en gain 100. L'erreur de mesure est donnée par l'oscilloscope :

$$\Delta = \pm 0,02 \times |\text{mesure}| + 0,05 \times \text{division}$$

Si on considère une erreur de 5% sur le gain 100, on peut donc écrire que notre erreur de mesure sur $M' = \frac{M}{100}$ sera telle que :

$$\Delta M' = M' \times \left(\frac{\Delta M}{M} + \frac{5}{100} \right)$$

Entrée (en mV)	0	0,2	0,5	0,9	1,5	2	2,5	3
$\Delta_{\text{entrée}}$ (en mV)		0,02	0,04	0,07	0,1	0,1	0,2	0,2
Sortie (en mV)	10	70	86	125	175	210	250	300
Δ_{sortie} (en mV)	1	2	2	3	4	5	6	7
Entrée (en mV)	3,5	4	4,5	5	5,5	6	7	8
$\Delta_{\text{entrée}}$ (en mV)	0,3	0,3	0,3	0,4	0,4	0,4	0,5	0,6
Sortie (en mV)	340	380	420	450	500	530	610	700
Δ_{sortie} (en mV)	8	9	9	10	11	13	14	16
Entrée (en mV)	9	10	11	12	13	14	15	16
$\Delta_{\text{entrée}}$ (en mV)	0,7	0,7	0,8	0,9	0,9	1	1,1	1,2
Sortie (en mV)	770	860	920	1000	1080	1170	1250	1330
Δ_{sortie} (en mV)	17	19	20	22	24	25	27	32
Entrée (en mV)	17	18	19	20	25	30	35	40
$\Delta_{\text{entrée}}$ (en mV)	1,2	1,3	1,4	1,5	1,8	2,2	2,5	2,9
Sortie (en mV)	1410	1500	1590	1650	2050	2450	3000	3350
Δ_{sortie} (en mV)	33	35	37	38	46	55	65	73

TAB. 4.5 – Variations de la tension de sortie en fonction de l'entrée avec un gain de 100.

L'erreur de linéarité (cf figure 4.17) constatée sur l'amplificateur en gain 100 est inférieure à 1% en moyenne sur l'ensemble des mesures pour une sortie d'amplitude inférieure à 3 V. Au delà, cette erreur dépasse 10%. En effet, l'amplificateur en boucle ouverte apporte de la distorsion que la contre-réaction ne corrige que partiellement. Ceci est dû au faible courant de consommation des transistors MOS.

CHAPITRE 4. L'AMPLIFICATEUR DIFFÉRENTIEL CMOS

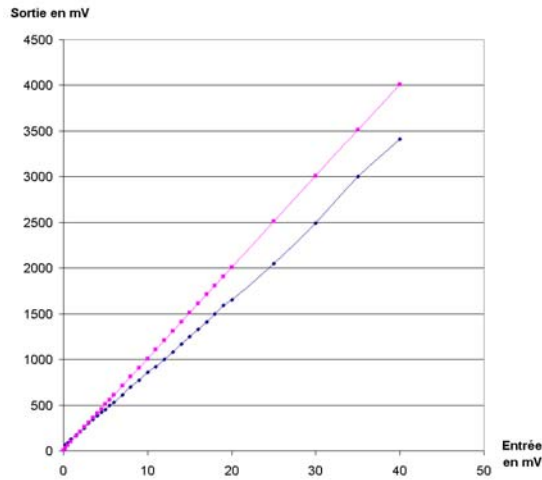


FIG. 4.17 – *Linéarité de l'amplificateur en gain 100.*

Mesures de gain et d'offset : L'offset mesuré en sortie est divisé par le gain de l'amplificateur. On constate un offset différentiel moyen sur l'ensemble des 10 puces de $950 \mu V$ avec un écart-type de $1100 \mu V$, ce qui signifie un excellent appariement des transistors des paires différentielles d'entrées. Pour ce qui est du gain, on retrouve un gain moyen de 101 avec un écart-type de 7.

	Offset (en μV)	ΔV_{offset} (en μV)	Gain	$\Delta Gain$
Puce 1	100	3	102	12
Puce 2	1000	22	100	12
Puce 3	200	5	106	12
Puce 4	400	9	94	12
Puce 5	850	19	94	12
Puce 6	640	14	92	12
Puce 7	1100	24	102	12
Puce 8	10	1	106	12
Puce 9	1200	26	94	12
Puce 10	4000	90	114	13

TAB. 4.6 – *Variations de l'offset et du gain sur les dix puces.*

4.5. L'AMPLIFICATEUR DÉVELOPPÉ EN $0,35\ \mu\text{m}$ CMOS CSI

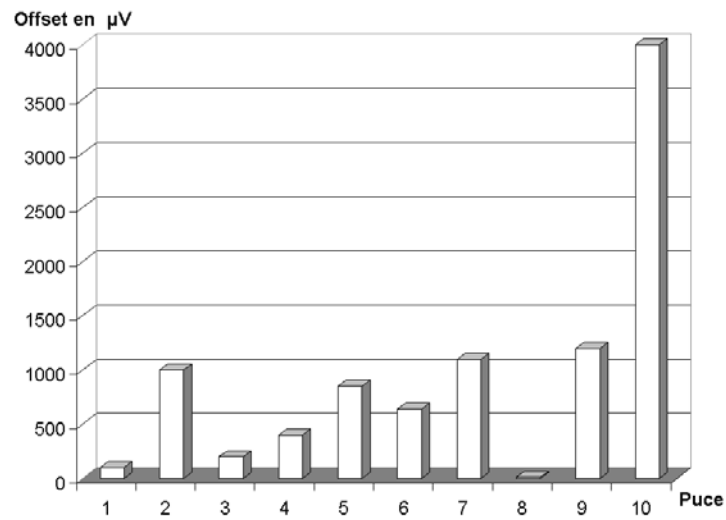


FIG. 4.18 – *Dispersion de l'offset en gain 100.*

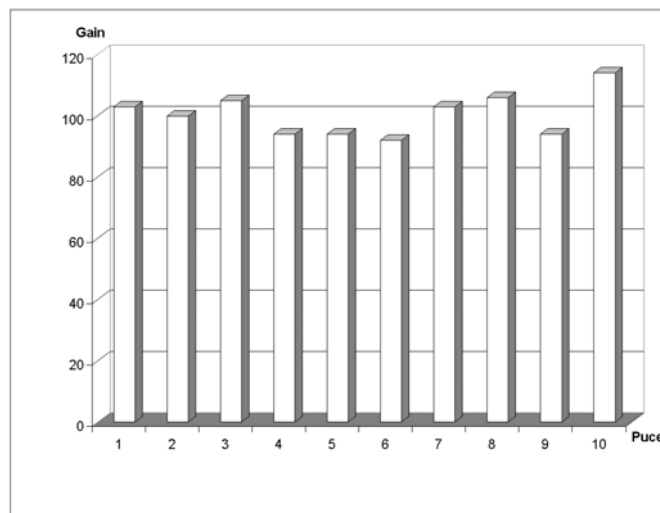


FIG. 4.19 – *Dispersion de gain de l'amplificateur.*

CHAPITRE 4. L'AMPLIFICATEUR DIFFÉRENTIEL CMOS

Etude de Monte Carlo : Cette petite étude nous permettra de vérifier l'appariement des composants. Pour retrouver les résultats obtenus en tests sur 10 puces, nous attribuons à plusieurs sous-ensembles de l'amplificateur un coefficient de corrélation de 0,8 :

- Les transistors des paires d'entrées différentielles NMOS et PMOS.
- Les charges actives des paires différentielles d'entrées.
- Les transistors des sorties "rail à rail".

On retrouve ainsi un écart-type de $1160 \mu V$ proche du résultat de test.

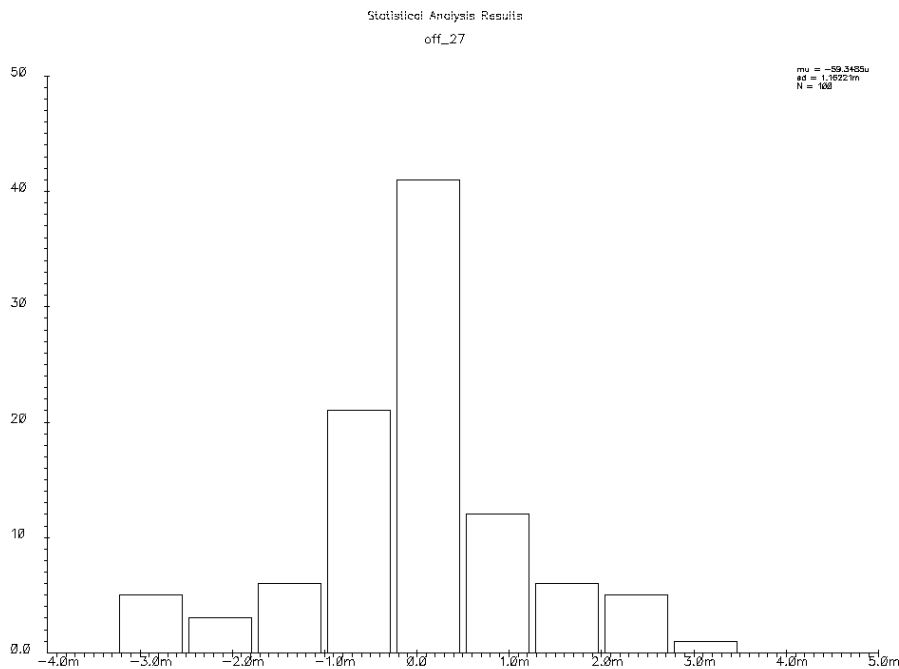


FIG. 4.20 – *Analyse monte carlo.*

4.6 Prochaines itérations sur l'amplificateur

Un amplificateur en technologie $0,35\ \mu\text{m}$ c35b4 est en cours de réalisation. Cette technologie présente l'avantage de posséder une couche de polysilicium haute résistivité ce qui diminuera considérablement la surface totale de la puce et par conséquent, la surface du convertisseur 10 bits. Pour ce qui est du schéma de principe, on considère cet amplificateur conforme au cahier des charges. Le tableau 4.7 donne les principales caractéristiques en simulation.

Paramètres	Amplificateur en B.O.
Alimentation	$\pm 2,5\ V$
Consommation	$1,4\ mW$
Produit Gain Bande	80 Mhz
Marge de phase	54 degrés

TAB. 4.7 – *Caractéristiques de l'amplificateur en technologie $0,35\ \mu\text{m}$ CMOS C35B4.*

Chapitre 5

Le comparateur

5.1 Rappels sur les comparateurs

Un comparateur est un amplificateur fonctionnant exclusivement en boucle ouverte. Il doit avoir un gain différentiel très important, c'est un élément de décision qui sert d'interface entre le monde analogique et le numérique. Ces caractéristiques idéales doivent être les mêmes que pour un amplificateur :

- gain différentiel, $A_d = \infty$,
- gain en mode commun, $A_{mc} = 0$,
- impédance d'entrée, $Z_e = \infty$,
- impédance de sortie, $Z_s = 0$,
- bande passante = ∞ ,
- tensions de décalages ou offset et dérives = 0.

Bien entendu, dans la pratique, on essaiera de se rapprocher de ces valeurs optimales. Le comparateur utilisé sera de type “verrouillé et mémorisé”, c'est à dire qu'une bascule à contre-réaction positive permettra d'augmenter le gain et qu'un point mémoire conservera l'information autant que nécessaire. Ce type de comparateur est utilisé dans la majorité des systèmes de conversion numérique analogique.

5.2 Structure de base du montage

Le comparateur développé sera une brique fondamentale du convertisseur analogique numérique que nous présenterons par la suite. Cette structure de comparateur est basée sur une idée originale de M. DZAHINI, ingénieur de recherche au LPSC de Grenoble. Ce bloc peut se décomposer en quatre parties :

- Une paire différentielle d'entrée cascodée de type CMOS avec charges actives. Cet étage possède un gain important qui est donné par l'étage de type source commune. Il présente aussi une bande passante importante due à la présence de l'étage de type grille commune. Ceci nous permettra d'amplifier les petites différences et ainsi

obtenir une sensibilité la plus grande possible.

- Une bascule qui sera active sur front d’horloge et nous permettra de mémoriser l’information.
- Une mémoire dynamique qui nous permettra de figer la sortie pendant une demi-période.
- Une mise en forme logique basée sur un système de deux inverseurs qui lissera le signal de sortie.

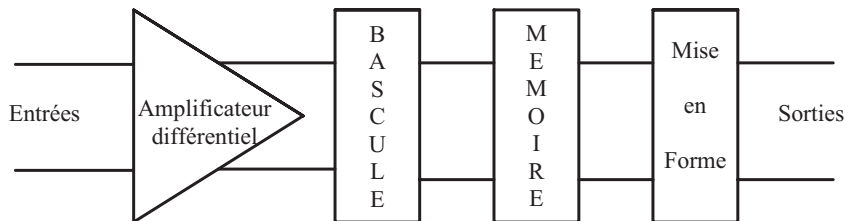


FIG. 5.1 – *Schéma de principe du comparateur.*

Ce comparateur sera optimisé en consommation et en sensibilité. Un compromis devra être fait et on estimera une sensibilité de $10\ \mu\text{V}$ en simulation suffisante pour notre application (10 bits sur 2 V). De plus on évaluera les offsets des bipolaires et des MOS puisque deux versions identiques du comparateur ont été fondues, la seule différence étant la paire différentielle d’entrée. En effet, les transistors bipolaires sont moins sensibles à l’offset que les transistors MOS mais l’on désire vérifier quelles sont les proportions.

5.2.1 Paire différentielle d’entrée cascodée

Pour obtenir un étage de gain important ayant une bande passante convenable, le montage le plus fréquemment utilisé est une paire différentielle cascodée. Ce schéma permettra de limiter l’effet Miller dû à la capacité grille-drain formé par l’étage de type source-commune et ainsi augmenter la bande passante. Etant donné la faible tension d’alimentation dont on dispose, on utilisera la version dite repliée qui nous autorisera une dynamique d’entrée de 2 V. La paire différentielle d’entrée sera donc comme représentée sur la figure 5.2 :

Deux modes de fonctionnement se distinguent dans ce premier bloc :

- Un mode de comparaison où la bascule est active et conserve la valeur de sortie sur front descendant d’horloge.
- Un mode de mise à zéro où la bascule est court-circuitée par un interrupteur.

L’interrupteur ici représenté est, en fait, l’association de 2 transistors, un de type NMOS et l’autre de type PMOS commandés via leur grille par une horloge différentielle. Ce système présente l’avantage de limiter les injections de charge dues au changement d’état.

5.2. STRUCTURE DE BASE DU MONTAGE

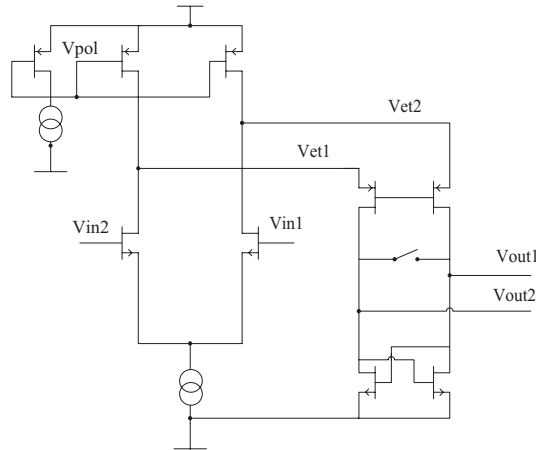


FIG. 5.2 – Paire différentielle d'entrée cascodée.

5.2.2 Mémoire dynamique et inverseur de sortie

La mémoire dynamique est indispensable au bon fonctionnement de notre système. En effet pendant la phase de remise à zéro du comparateur, on ne souhaite pas observer de variation en sortie. La mémoire dynamique permettra de conserver la sortie en l'état pendant un front d'horloge. Lorsque l'interrupteur court-circuite la bascule, les transistors d'entrée de la mémoire dynamique se retrouvent bloqués, c'est la phase mémoire. En revanche, ces derniers sont saturés pendant la phase de "suivi" du signal. Un étage de type suiveur sera rajouté entre la sortie de l'amplificateur cascodé et la mémoire pour réhausser le point de repos et ainsi améliorer les changements d'états.

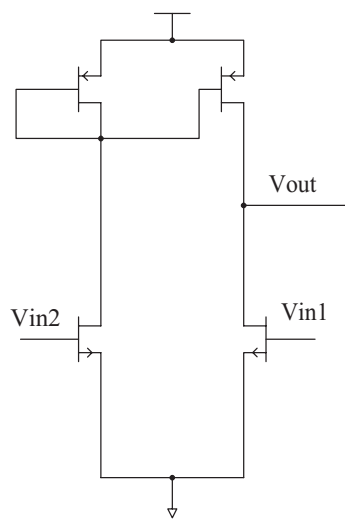


FIG. 5.3 – Mémoire dynamique en sortie du comparateur.

Les inverseurs de sortie servent simplement à lisser le signal de sortie pour adoucir les commutations et ainsi obtenir en sortie un signal plus propre. Ils sont dimensionnés en tenant compte des paramètres fondeurs pour obtenir des comportements en vitesse similaires entre NMOS et PMOS. Globalement un facteur 3 entre W_n et W_p est un bon compromis.

5.3 Le comparateur développé en $0,8 \mu\text{m}$ BiCMOS

Ce comparateur a donc été réalisé en technologie AMS $0,8 \mu\text{m}$ avec deux versions :

- Une paire différentielle d'entrée composée de transistors bipolaires.
- Une paire différentielle d'entrée composée de transistors MOS.

5.3.1 Version avec transistors d'entrée bipolaires

Résultats de simulation

Le comparateur avec transistors bipolaires à l'entrée se présente comme dessiné sur la figure 5.4.

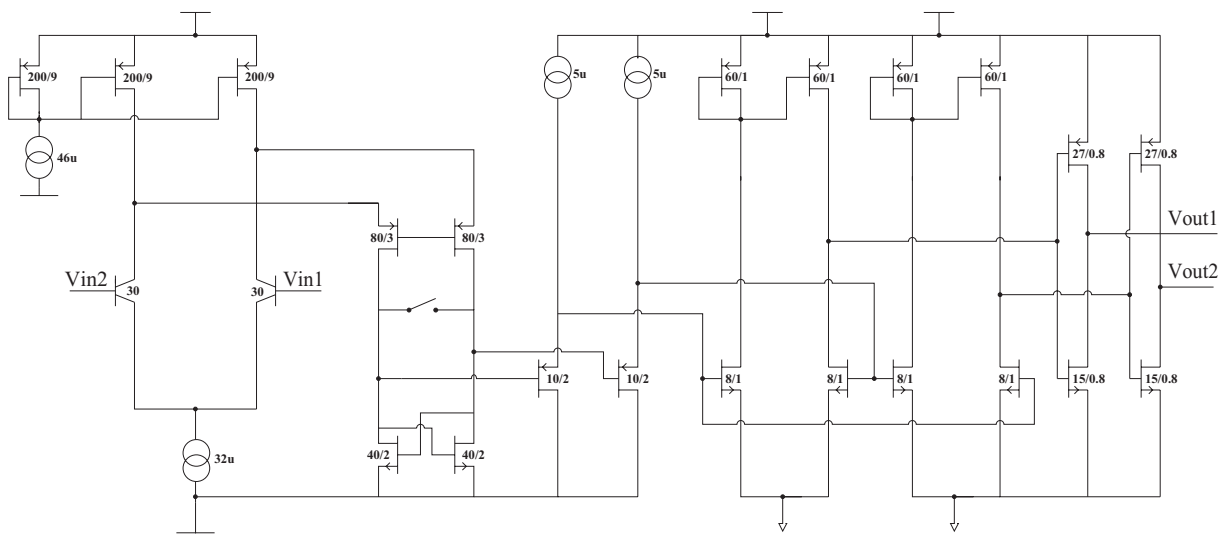


FIG. 5.4 – Comparateur avec entrées bipolaires.

5.3. LE COMPAREUR DÉVELOPPÉ EN $0,8 \mu\text{m}$ BiCMOS

Deux points sont particulièrement critiques, la consommation mais aussi la sensibilité. Les simulations ont été faites dans le but d'optimiser ces deux paramètres. En simulation théorique (cf figure 5.5), une sensibilité de 100 nV a été obtenue. A l'aide d'une simulation parasitique (cf figure 5.6), nous observons un offset de $300 \mu\text{V}$. Les caractéristiques générales de ce montage sont répertoriées dans le tableau 5.1 :

Alimentation	$\pm 2,75 \text{ V}$
Consommation	$550 \mu\text{W}$
Fréquence de l'horloge	10 Mhz
Sensibilité	100 nV
Offset post-layout	$300 \mu\text{V}$

TAB. 5.1 – *Caractéristiques générales du comparateur en simulation.*

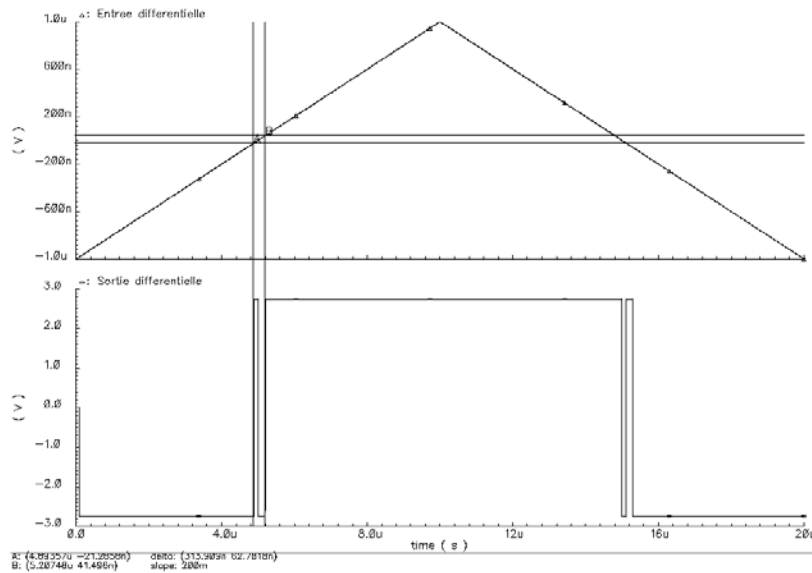


FIG. 5.5 – *Simulation schématique : mesure de la sensibilité.*

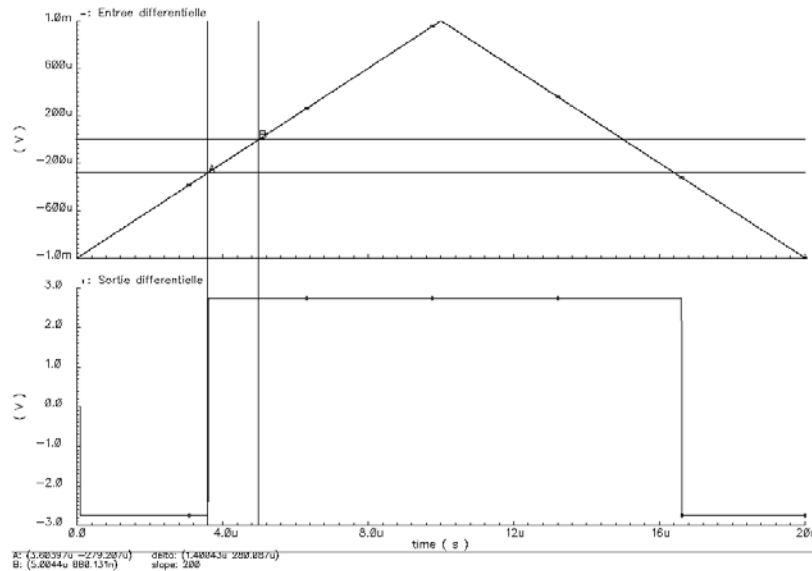


FIG. 5.6 – Simulation schématique : mesure de l'offset.

Tests sur le prototype

Pour mettre en place les tests du comparateur, un certain nombre d'éléments seront fixés. Le signal d'entrée sera une rampe d'amplitude variable et de durée $1 \mu s$. Les valeurs min et max seront les valeurs entre lesquelles la sortie présentera un comportement instable, oscillant entre les deux niveaux logiques. L'horloge différentielle évoluera entre $\pm 2,75 V$ et aura une période de 100 ns avec un rapport cyclique de 1. Le tableau 5.2 recense ces différents résultats. On constate, d'après les mesures faites sur les 10 puces que l'offset moyen est de 0 V avec un écart type de 1,4 mV. La sensibilité moyenne mesurée est de $300 \mu V$. Cette sensibilité correspond en fait aux bruits du système qui ne nous permet pas, par conséquent, de mesurer la sensibilité du comparateur.

5.3. LE COMPAREUR DÉVELOPPÉ EN $0,8 \mu\text{m}$ BiCMOS

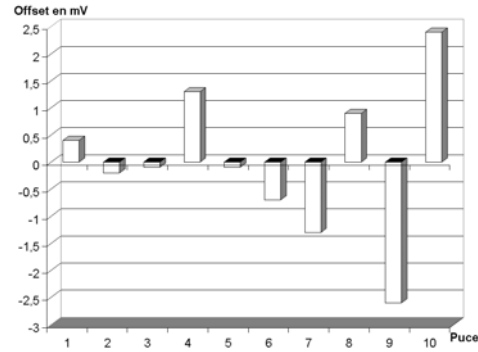


FIG. 5.7 – *Dispersion des offsets en test.*

Bipolaire	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10
Max Rampe 50 mV	1,2	0,6	1,9	3,1	0,8	2,4	-0,5	1,7	-1,9	1,1
Min Rampe 50 mV	-2,3	-2,9	-1,7	0,4	-2,7	-1	-3,9	-1,8	-5,1	-2,3
Offset	-0,55	-1,15	0,1	1,75	-0,95	0,7	-2,2	-0,05	-3,5	-0,6
Sensibilité	1,75	1,75	1,8	1,35	1,75	1,7	1,7	1,75	1,6	1,7
Max Rampe 40 mV	1,1	0,5	1,2	2,6	0,6	1,4	-0,5	1,7	-1,9	1,9
Min Rampe 40 mV	-1,4	-2	-1,2	0	-1,8	-1,1	-2,9	-0,8	-4,4	-0,6
Offset	-0,15	-0,75	0	1,3	-0,6	0,15	-1,7	0,45	-3,15	0,65
Sensibilité	1,25	1,25	1,2	1,3	1,2	1,25	1,2	1,25	1,25	1,25
Max Rampe 30 mV	1	0,3	0,8	2,1	0,6	0,2	-0,5	1,6	-1,8	2,8
Min Rampe 30 mV	-0,6	-1	-0,9	0,5	-1	-1,1	-2,3	0	-3,5	1,2
Offset	0,2	-0,35	-0,05	1,3	-0,2	-0,65	-1,4	0,8	-2,65	2
Sensibilité	0,8	0,65	0,85	0,8	0,8	0,85	0,9	0,8	0,85	0,8
Max Rampe 20 mV	0,8	0,3	-0,3	1,4	0,6	-0,6	-0,7	1,4	-2	2,9
Min Rampe 20 mV	0,1	-0,2		0,8	-0,2	-1,2	-1,3	0,8	-2,7	3,5
Offset	0,45	0,05	0,3	1,1	0,2	-0,9	-1	1,1	-2,35	3,2
Sensibilité	0,35	0,25		0,3	0,4	0,3	0,3	0,3	0,35	0,3
Rampe 10 mV	1	0,5	-0,6	1	0,6	-1,5	-0,6	1,6	-1,9	4,5
Rampe 1 mV	1	0,9	-0,3	1	0,6	-1,9	-0,5	1,6	-1,9	5,8
Offset moyen	0,4	-0,2	-0,1	1,3	-0,1	-0,7	-1,3	0,9	-2,6	2,4

TAB. 5.2 – *Caractéristiques du comparateur avec entrées différentielles bipolaires.*

5.3.2 Version avec des transistors d'entrée MOS

Résultats de simulation

Le comparateur à entrée différentielle MOS (cf figure 5.8) reprend exactement la même structure que la précédente version avec des transistors bipolaires :

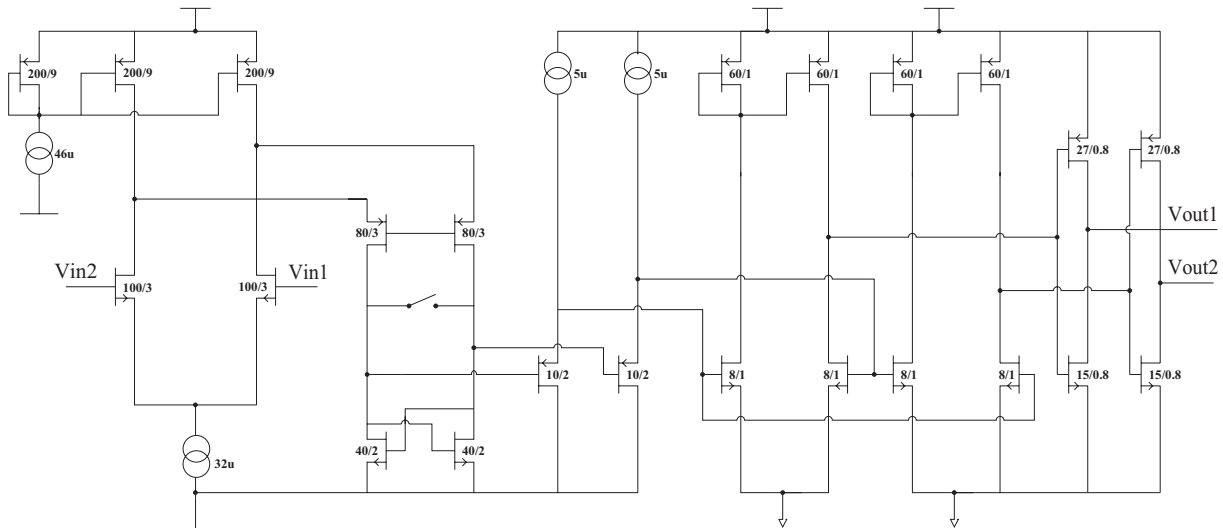


FIG. 5.8 – *Comparateur avec entrées MOS.*

Les résultats de simulation (cf figure 5.9) montrent une sensibilité de 800 nV en schématique. L'offset (cf figure 5.10) est quand à lui estimé à $700\text{ }\mu\text{V}$ en simulation parasitique.

Alimentation	$\pm 2,75\text{ V}$
Consommation	$550\text{ }\mu\text{W}$
Fréquence d'horloge	10 Mhz
Sensibilité	800 nV
Offset post-layout	$700\text{ }\mu\text{V}$

TAB. 5.3 – *Caractéristiques générales du comparateur en simulation.*

5.3. LE COMPAREUR DÉVELOPPÉ EN $0,8 \mu\text{m}$ BiCMOS

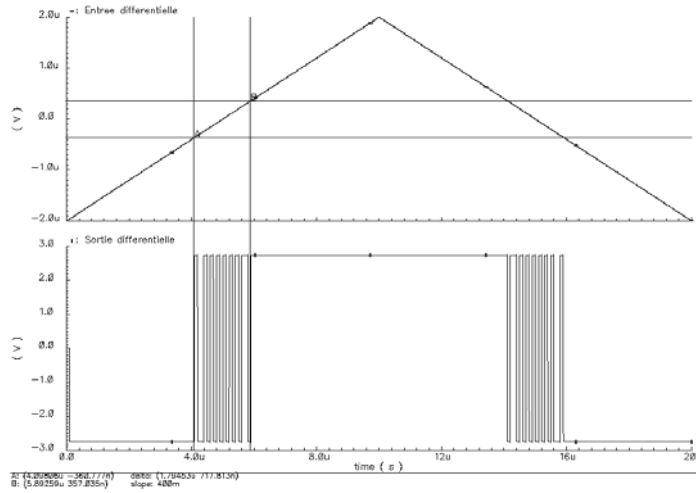


FIG. 5.9 – *Simulation schématique : mesure de la sensibilité.*

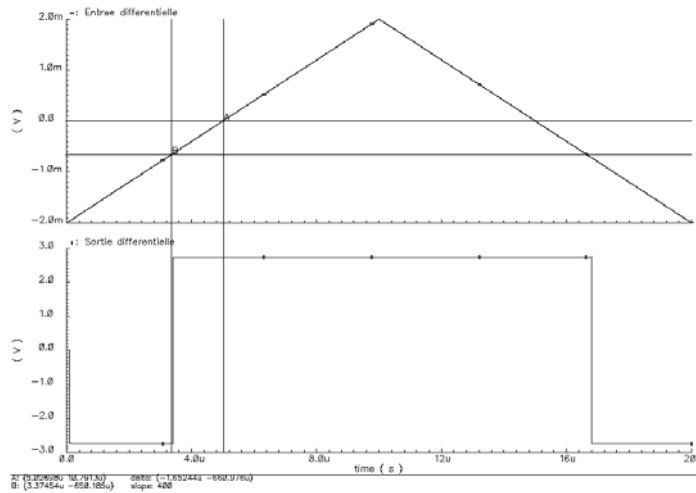


FIG. 5.10 – *Simulation parasitique : mesure de l'offset.*

Tests sur le prototype

Les tests pour la version avec entrées différentielles MOS se déroulent dans les mêmes conditions que pour la version bipolaire. Le signal d'entrée sera une rampe d'amplitude variable et de durée $1\ \mu s$. Les valeurs min et max seront les valeurs entre lesquelles la sortie présentera un comportement instable, oscillant entre les deux niveaux logiques. L'horloge différentielle évoluera entre $\pm 2,75\ V$ et aura une période de $100\ ns$ avec un rapport cyclique de 1. Le tableau 5.4 répertorie les mesures effectuées sur les puces. On constate d'après les mesures faites sur les 10 puces, que l'offset moyen est de $-2\ mV$ avec un écart type de $1,6\ mV$. La sensibilité moyenne mesurée est de $200\ \mu V$. Elle correspond aux bruits du système.

MOS	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10
Max Rampe 50mV	0,9	-1,5	3,7	-2,4	-1,6	-0,4	-3,6	-2,2	0,1	-1,3
Min Rampe 50mV	-2,4	-3,7	0,5	-5,2	-4,8	-3,4	-6,7	-5,4	-3,1	-4,1
Offset	-0,75	-2,6	2,1	-3,8	-3,2	-1,9	-5,1	-3,8	-1,5	-2,7
Sensibilité	1,65	1,1	1,6	1,4	1,6	1,5	1,6	1,6	1,6	1,4
Max Rampe 40mV	1,3	-2	2,3	-1,9	-2,1	-0,9	-3,3	-2,7	-0,5	-1,6
Min Rampe 40mV	-1	-4,2	0,1	-3,7	-4,3	-3	-5,4	-4,9	-2,7	-3,7
Offset	0,15	-3,1	1,2	-2,8	-3,2	-1,95	-4,35	-3,8	-1,6	-2,65
Sensibilité	1,15	1,1	1,1	0,9	1,1	1,05	1,05	1,1	1,1	1,05
Max Rampe 30mV	1,7	-2,7	0,9	-1,7	-2,8	-1,5	-2,8	-3,2	-1	-2,1
Min Rampe 30mV	0,4	-3,7	-0,5	-2,7	-3,9	-2,7	-4	-4,5	-2,2	-3,4
Offset	1,05	-3,2	0,2	-2,2	-3,35	-2,1	-3,4	-3,85	-1,6	-2,75
Sensibilité	0,65	0,5	0,3	0,5	0,55	0,6	0,6	0,65	0,6	0,65
Max Rampe 20mV	2,1	-3,4	-0,5	-1,5	-3,3	-1,8	-2,5	-3,8	-1,3	-2,9
Min Rampe 20mV	1,3	-3,6	-1,1		-3,5	-2,3	-2,7	-4,1	-1,9	
Offset	1,7	-3,5	-0,8	-1,5	-3,4	-2,05	-2,6	-3,95	-1,6	-2,9
Sensibilité	0,4	0,1	0,3		0,1	0,25	0,1	0,15	0,3	
Rampe 10mV	2,6	-3,4	-2,9	-0,3	-3,3	-2,3	-2,2	-4,1	-1,8	-2,8
Rampe 1mV	3,6	-3,4	-2,9	0,4	-3,3	-2,3	-1,1	-4,1	-1,8	-2,8
Offset moyen	1,4	-3,2	-0,5	-1,7	-3,3	-2,1	-3,1	-3,9	-1,65	-1,9

TAB. 5.4 – *Caractéristiques du comparateur avec entrées différentielles MOS.*

5.3. LE COMPAREUR DÉVELOPPÉ EN $0,8\ \mu\text{m}$ BiCMOS

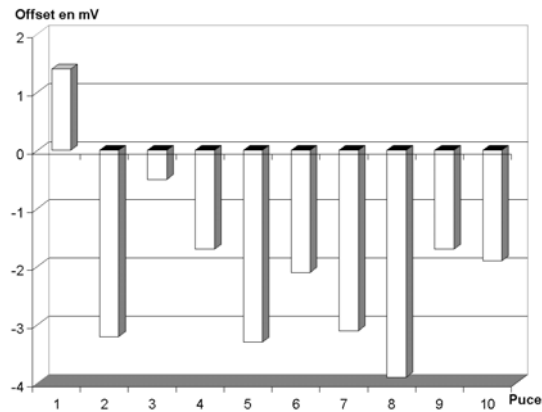


FIG. 5.11 – *Dispersion des offsets en test.*

5.3.3 Conclusions sur l'utilisation de MOS et de bipolaires

D'après la courbe 5.12 issue de chez Philips Semi-conductor, voici comment varie l'offset d'une paire différentielle dans une technologie $0,8\ \mu\text{m}$. Ce dernier est directement proportionnel aux dimensions : plus le composant sera grand et meilleur sera l'appariement. D'après les formules fournies dans le chapitre 2, un second paramètre intervient dans le cas des transistors MOS, il s'agit des conditions de polarisation.

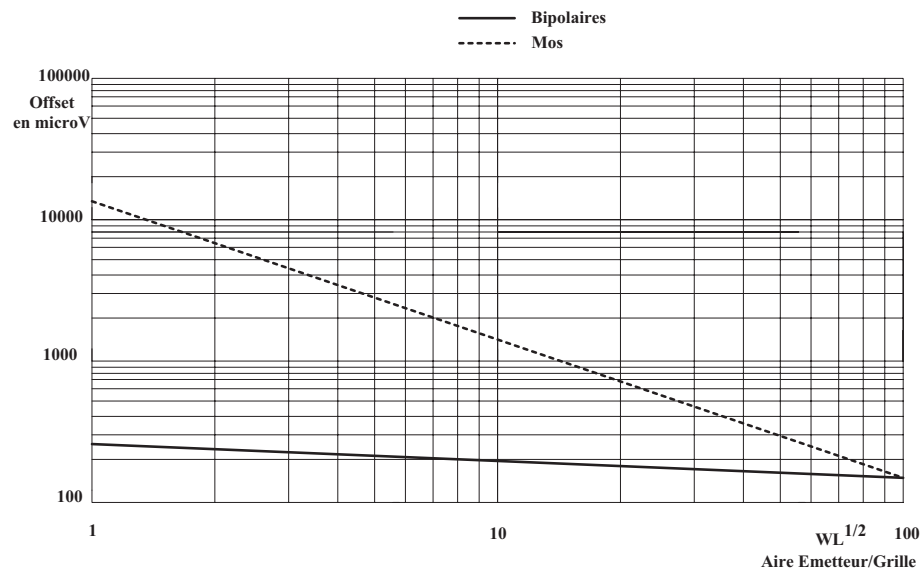


FIG. 5.12 – *Offset d'une paire différentielle.*

On constate à ce point de vue que les transistors MOS sont moins performants que les bipolaires, ce phénomène se réduit nettement lorsque les tailles de ces derniers augmentent.

Dans notre cas, les résultats en simulation du comparateur (figure 5.13) sont les suivants :

- Transistor bipolaire : aire = 30, offset = $3 \mu V$ avec un écart-type de $130 \mu V$.
- Transistor MOS : aire = 300, offset = $70 \mu V$ avec un écart-type de $820 \mu V$.

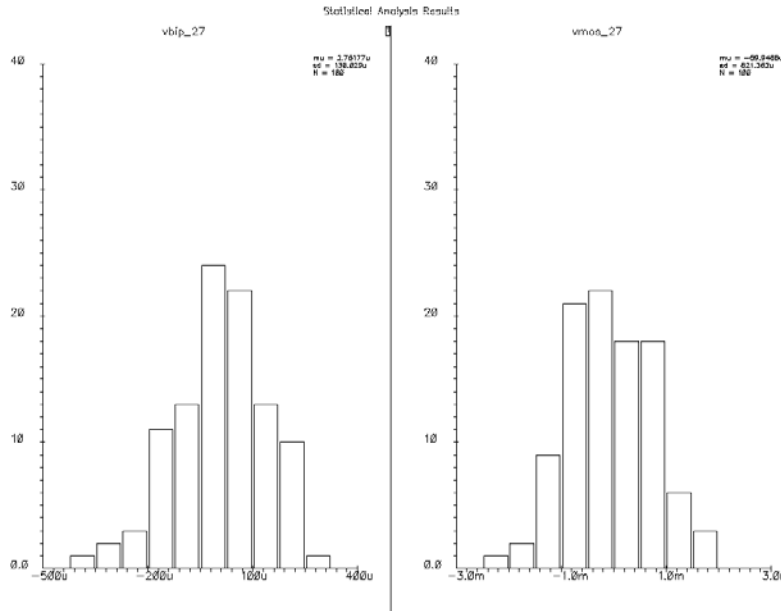


FIG. 5.13 – Dispersion des offsets des paires différentielles d'entrée MOS et bipolaires à l'aide d'une simulation monte carlo .

Pour ce qui est des résultats en tests :

- Transistor bipolaire : aire = 30, offset = 0 avec un écart-type de 1,4 mV.
- Transistor MOS : aire = 300, offset = -2 mV avec un écart-type de 1,6 mV.

La conclusion globale est que l'offset des bipolaires est plus faible que les MOS. Cependant l'écart-type entre bipolaires et MOS est du même ordre de grandeur. Nous nous orientons a priori vers une technologie purement CMOS; il faudra donc chercher à optimiser les offsets des paires différentielles d'entrées MOS en s'appuyant sur les formules du chapitre 2. Pour réaliser un appariement en tension convenable, il faudra utiliser des transistors de taille importante et les conditions de polarisation seront telles que $V_{gst} = 0,1 V$.

5.4. LE COMPAREUR DÉVELOPPÉ EN $0,35 \mu\text{m}$ CMOS

5.4 Le comparateur développé en $0,35 \mu\text{m}$ CMOS

5.4.1 Résultats de simulation du comparateur CMOS

Le schéma global se présentera comme indiqué sur la figure 5.14.

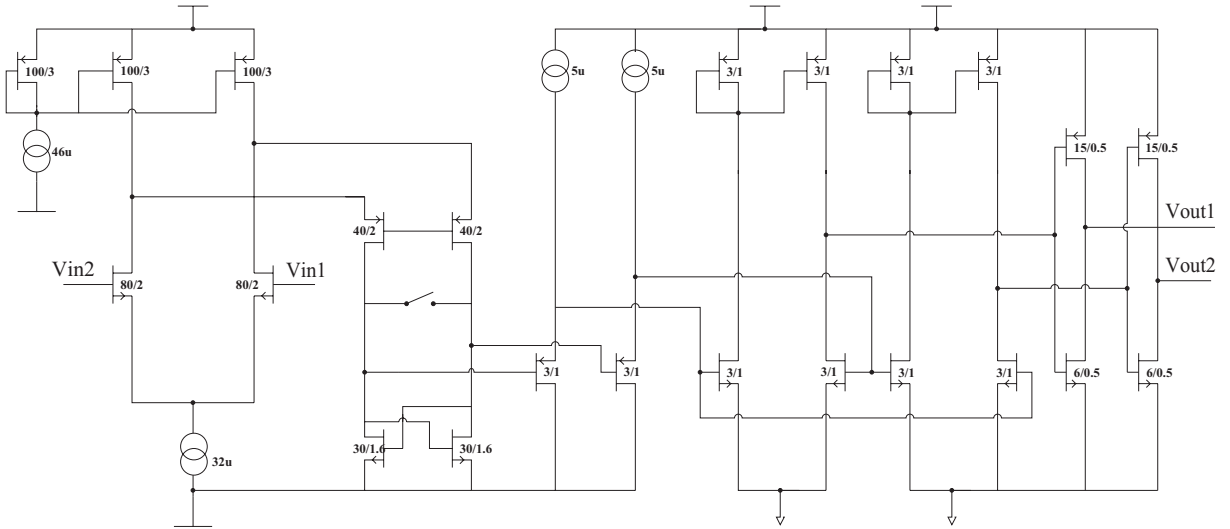


FIG. 5.14 – *Comparateur avec entrées MOS.*

Pour ce qui est de la simulation du comparateur en technologie $0,35 \mu\text{m}$ (cf figure 5.14), la sensibilité sera de l'ordre de 300 nV en simulation schématique. L'offset obtenu par la simulation parasitique est extrêmement important de l'ordre de 9 mV . Les résultats de simulation sont consultables sur les courbes 5.15 et 5.16.

Alimentation	$\pm 2,5 \text{ V}$
Consommation	$500 \mu\text{W}$
Fréquence d'horloge	5 Mhz
Sensibilité	300 nV
Offset post-layout	9 mV

TAB. 5.5 – *Caractéristiques générales du comparateur en simulation.*

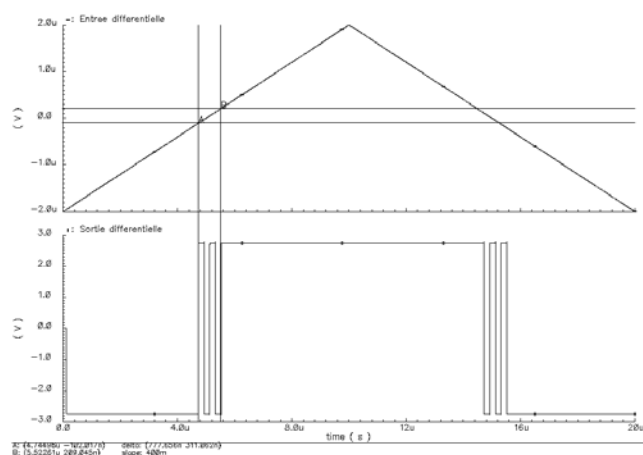


FIG. 5.15 – *Simulation schématique : mesure de la sensibilité.*

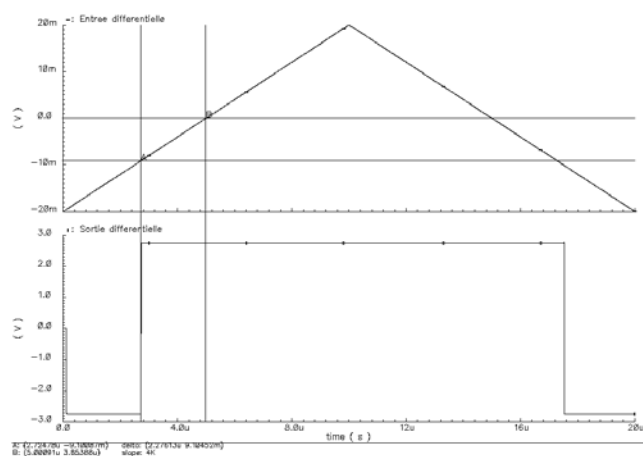


FIG. 5.16 – *Simulation parasitique : mesure de l'offset.*

5.4. LE COMPAREUR DÉVELOPPÉ EN $0,35\ \mu\text{m}$ CMOS

5.4.2 Tests sur le prototype physique

Une puce contenant notamment un comparateur a été envoyée en fonderie en mai 2003. Le tableau 5.6 répertorie les principales caractéristiques de chaque puce.

Puce	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10
Offset (en mV)	10	7	9	16	10	4	18	12	15	12

TAB. 5.6 – *Offset du comparateur avec entrées différentielles MOS.*

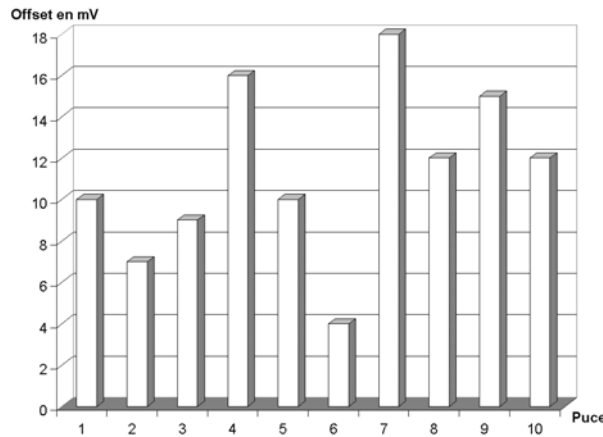


FIG. 5.17 – *Dispersion des offsets en test.*

L'offset moyen de 11 mV avec un écart type de 4 mV sera donc trop élevé pour notre application. Il est beaucoup plus important que pour notre version en $0,8\ \mu\text{m}$, ceci pour deux principales raisons :

- La taille des transistors d'entrée a été diminuée passant de 100/3 à 80/2.
- Les capacités parasites n'ont pas été prises en compte dans la simulation avant envoi en fonderie.

Pour ce qui est de la sensibilité du système, cette dernière qui correspond en fait aux bruits, est équivalente au prototype $0,8\ \mu\text{m}$, avec une valeur moyenne de $300\ \mu\text{V}$.

5.5 Nouvelles investigations et améliorations en cours sur le comparateur

Le montage de base utilisé pour le comparateur donnant des résultats satisfaisants, une nouvelle version consistera à minimiser l'offset en égalisant les capacités parasites présentes sur chaque branche du différentiel. Un nouveau prototype de comparateur est en cours de fabrication et les résultats de simulation sont encourageants. La sensibilité (cf figure 5.18) est de l'ordre de $10 \mu V$ et l'offset (cf figure 5.19) est aussi de $10 \mu V$.

On constate sur les trois précédentes versions de comparateur une parfaite adéquation entre la simulation et les résultats de tests. On espère donc évidemment retrouver les caractéristiques obtenues en schématique sur la future version.

Une autre possibilité pour supprimer cet offset consisterait à mettre en place une compensation basée sur une paire différentielle ; des systèmes opérationnels fonctionnent mais ces derniers présentent la fâcheuse caractéristique de consommer de l'énergie. Le paramètre sensibilité est donc satisfaisant ; il ne sera éventuellement affiné que dans l'hypothèse où une prochaine étude sur le convertisseur nous démontre que les 10 bits ne sont pas obtenus, ce qui a priori ne semble pas possible (en effet $LSB = \frac{2}{1024} = 2 mV$).

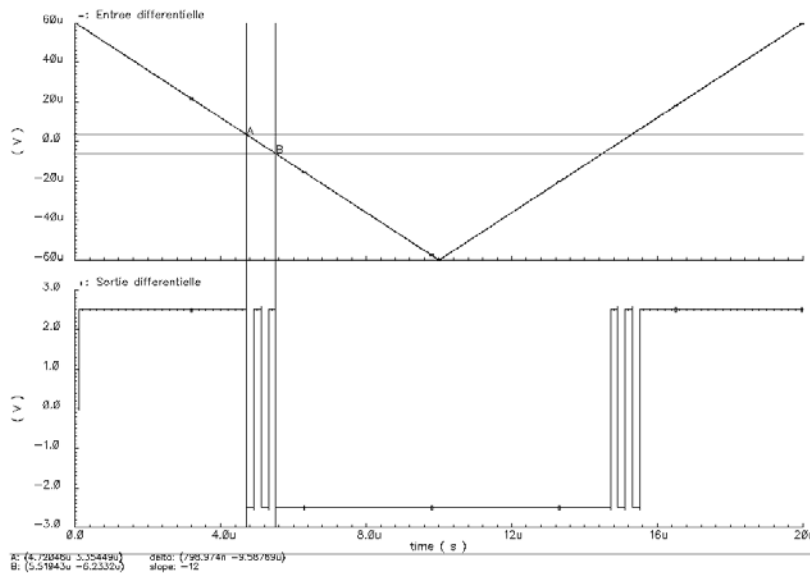


FIG. 5.18 – *Simulation schématique : mesure de la sensibilité.*

5.5. NOUVELLES INVESTIGATIONS ET AMÉLIORATIONS EN COURS SUR LE COMPARATEUR

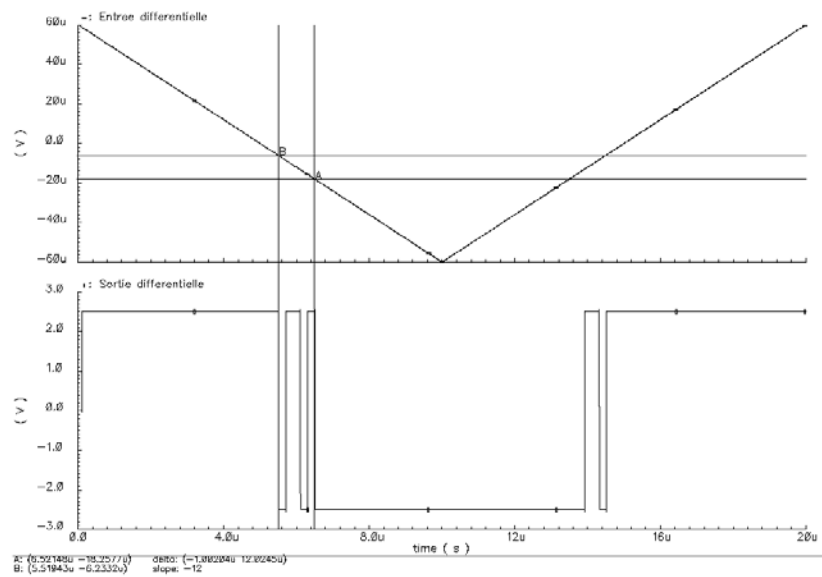


FIG. 5.19 – *Simulation parasitique : mesure de l'offset.*

Chapitre 6

Le convertisseur analogique numérique pipeline 10 bits

6.1 Caractéristiques d'un ADC

Un convertisseur analogique numérique, ADC¹ [10, 36] va nous permettre, comme son nom l'indique, de transformer une valeur analogique en une valeur numérique. L'équation générale sera définie ainsi :

$$V_{\text{entrée}} = q \times [a_9 \times 2^9 + \dots + a_1 \times 2 + a_0] + V_q \quad (6.1)$$

$V_{\text{entrée}}$ est la tension analogique à l'entrée du convertisseur, q est le pas de quantification, $[a_9 \dots a_1 a_0]$ est le mot binaire en sortie du convertisseur et V_q est l'erreur systématique de quantification. La résolution d'un convertisseur analogique numérique est déterminée par la finesse de quantification de ce dernier. En principe, la résolution est exprimée en nombre de bits. Elle est définie par le nombre de sous-étages de l'ADC en base 2 divisé par le signal d'entrée maximum. Cette résolution peut être dégradée par plusieurs facteurs, notamment le bruit et la non-linéarité. Les principales caractéristiques d'un convertisseur analogique numérique peuvent être classées en deux catégories.

- Les spécifications statiques.
- Les spécifications dynamiques.

6.1.1 Les spécifications statiques

La précision absolue

La précision absolue est le rapport entre le plus petit signal et le plus grand signal. Elle inclut les différentes erreurs de quantification, les non-linéarités, les offsets et le bruit.

¹Analog to digital converter, cet acronyme sera utilisé dans la suite du manuscrit

Cette précision repose sur la précision de la référence.

La non linéarité intégrale

La précision relative est la déviation du code de sortie d'un convertisseur par rapport à une ligne dessinée entre 0 et la pleine échelle. L'erreur de linéarité intégrale représentée figure 6.1 permet de qualifier la forme générale de la fonction de transfert du convertisseur. Pour un convertisseur numérique analogique idéal, $E(k)$, qui est l'écart entre une transition et la droite de gain dont la pente est $+1$, sera égal à $\pm \frac{1}{2}LSB$. On peut définir pour chaque transition une erreur de linéarité intégrale telle que :

$$INL(k) = E(k) - \frac{1}{2}LSB \quad (6.2)$$

Si l'on exprime cette erreur en normalisant par rapport à q :

$$INL(i) = \sum_{j < i} \frac{\Delta q_j}{q} = \sum_{j < i} \frac{q(j+1) - q(j)}{q} = \sum_{j < i} DNL(j) \quad (6.3)$$

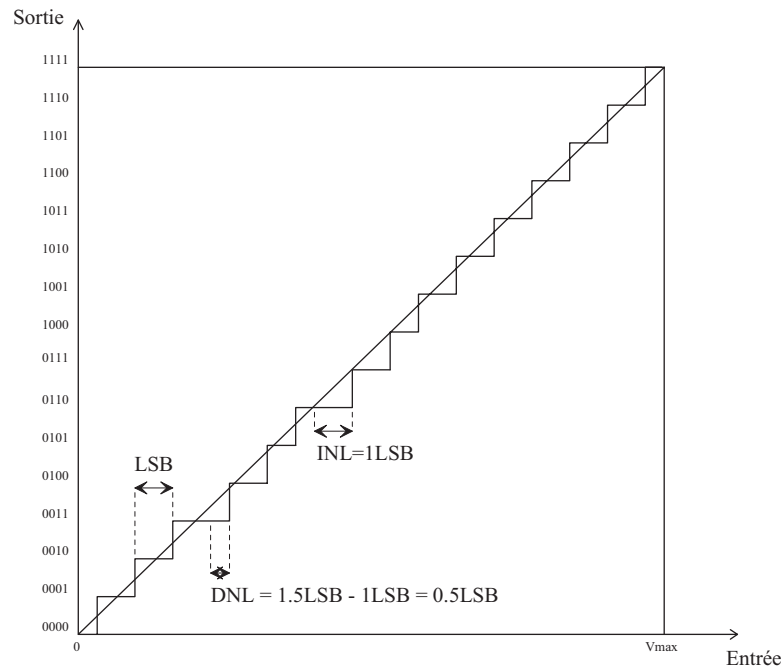


FIG. 6.1 – DNL et INL d'un convertisseur analogique numérique 4 bits.

La non linéarité différentielle

L'erreur de linéarité différentielle représentée figure 6.1 est l'écart relatif entre la valeur effective du pas de quantification q_i et la valeur théorique q . La non-linéarité différentielle

6.1. CARACTÉRISTIQUES D'UN ADC

est égale à 0 si chaque transition est égale à 1 LSB. Si q_k représente la valeur du signal d'entrée où se produit la transition vers le code k alors :

$q_k = q(k+1) - q(k)$, est égale à q pour le convertisseur idéal.

On appelle non-linéarité différentielle la quantité normalisée :

$$DNL_k = \frac{q(k+1) - q(k) - q}{q} \quad (6.4)$$

Généralement on indique comme DNL le maximum des différentes DNL :

$$DNL = \max DNL_k \quad (6.5)$$

L'offset

Les amplificateurs ainsi que les comparateurs constituant le convertisseur analogique numérique possèdent un offset. Cet offset est causé par l'appariement non fini des composants. Le résultat d'un offset est que l'on observe en sortie, un code différent de zéro, pour un signal d'entrée nul.

6.1.2 Les spécifications dynamiques

Le SNR : rapport signal sur bruit

C'est la plus importante caractéristique d'un convertisseur analogique numérique. Le SNR est le rapport de la puissance du signal sur la puissance du bruit en sortie de l'ADC exprimé généralement en dB. Il peut être mesuré en traçant le spectre de la sortie de l'ADC. La formule idéale est présentée de la façon suivante, avec n qui correspond au nombre de bits en sortie de l'ADC.

$$\frac{S}{B} = 6,02 \times n + 1,76 \text{ dB}$$

Ce rapport est calculé pour une entrée de type sinusoïdale, avec une amplitude maximale. Les spécifications doivent être données comme une fonction de la fréquence du signal avec des amplitudes diverses et comme une fonction de l'amplitude avec une fréquence de signal constante.

Le SNDR : rapport signal sur bruit + distorsion

Le SNDR est défini comme le rapport de la puissance du signal dans le fondamental sur la somme des puissances de toutes les harmoniques et de tous les bruits. Il mesure les dégradations dues aux effets combinés du bruit, des erreurs de quantification et de la

distorsion harmonique. Le SNDR est généralement mesuré avec une sinusoïde à l'entrée et il est fonction de la fréquence et de l'amplitude du signal d'entrée. Quand un signal d'entrée composé d'une fréquence unique est appliqué au système, le signal de sortie contient généralement une composante de la fréquence du signal d'entrée mais aussi, des harmoniques de ce même signal d'entrée dues à la distorsion.

La dynamique

La dynamique correspond au maximum de signal d'entrée qui fournit une valeur utilisable et cohérente en sortie. Si la puissance de bruit est indépendante du signal, la dynamique est équivalente au SNR à la pleine échelle.

Dynamique indépendante de la distorsion (spurious free dynamic range)

C'est le rapport du niveau de la tension d'entrée au maximum du SNDR sur le niveau de la tension d'entrée pour SNDR=0. Cette mesure de dynamique est utile car elle indique la dynamique obtenue avant que la distorsion ne devienne dominante par rapport au bruit.

6.1.3 Les différentes erreurs

L'erreur de décalage

L'erreur de décalage est l'écart entre la première transition (passage du code 0 au code 1) et la position idéale située à : $V_{in} = \frac{1}{2} \times \frac{V_{max}}{2^N}$ soit 0,5 LSB.

L'erreur de gain

Cette erreur est due à un écart de pente par rapport au gain idéal de pente +1. L'erreur de gain peut être exprimée en volts, en pourcentage de la pleine échelle ou encore en LSB. Cette erreur est due à la tension de référence qui détermine la pleine échelle.

La non-monotonie

Il y a un code manquant en sortie de notre convertisseur.

L'erreur d'INL

C'est le plus grand écart à la droite théorique.

6.2. LES PRINCIPALES ARCHITECTURES DE CONVERSION ANALOGIQUE NUMÉRIQUE

L'erreur de DNL

C'est le plus grand écart d'incrément réel à l'incrément théorique.

6.2 Les principales architectures de conversion analogique numérique

Il existe plusieurs principes fondamentaux pour réaliser une conversion analogique numérique. Ce chapitre présentera les différents types de conversion qui sont principalement utilisés à ce jour.

6.2.1 L'ADC de type parallèle (flash)

Un ADC flash (cf figure 6.2) à n bits correspond à une matrice de $2^n - 1$ comparateurs et 2^{n-1} valeurs de référence. Chaque comparateur échantillonne le signal d'entrée et compare le signal à une valeur de référence. Les sorties des comparateurs vont ensuite dans un encodeur qui fournit une valeur binaire de la grandeur analogique. Dans ce type de convertisseur, la vitesse de conversion est limitée par la vitesse du comparateur et par l'échantillonneur. Ces systèmes sont rapides mais présentent l'inconvénient majeur de beaucoup consommer car la sortie de l'échantillonneur voit une capacité importante. Parmi les autres inconvénients de ce type de conversion, on peut dire que ces convertisseurs nécessitent un important dispositif "hardware" ² et de plus, ils sont très sensibles aux offsets du comparateur. En effet, pour une dynamique de 1 V en entrée, l'offset des comparateurs devra être inférieur à $\frac{1}{2^n}$. Typiquement, ce type de convertisseur est assez facilement réalisable jusqu'à 8 bits.

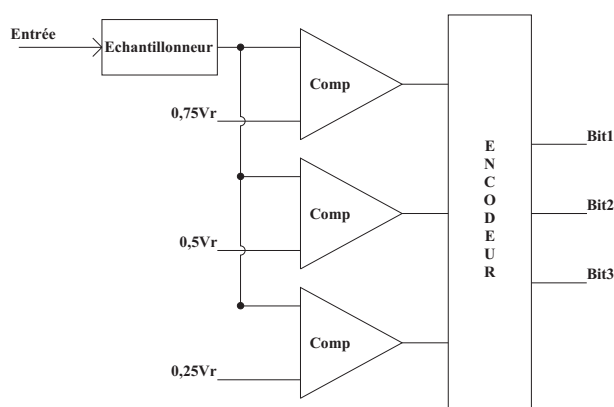


FIG. 6.2 – *Convertisseur flash 3 bits.*

²Terme anglais utilisé pour qualifier la partie matérielle.

6.2.2 L'ADC demi-flash

Un ADCdemi-flash (cf figure 6.3) est un convertisseur composé de deux étages, chacun de ces étages étant constitué d'un convertisseur flash. Deux étapes sont nécessaires, le premier convertisseur flash convertit les bits les plus significatifs (MSB). Ensuite un convertisseur numérique analogique (DAC) convertit ses bits les plus significatifs et les soustrait à la valeur initiale. Le reste est envoyé au deuxième convertisseur qui, à son tour, convertit les bits les moins significatifs (LSB). Le temps de conversion est bien entendu plus long qu'un convertisseur flash, mais ce système présente l'avantage d'utiliser seulement $2 \times 2^{\frac{n}{2}}$ comparateurs. Ce système permet de limiter aussi la partie "hardware". Typiquement, on pourra obtenir 10 bits ; parmi les plus populaires, on peut citer les ADC "folding". Dans ce type d'ADC, le DAC et le bloc de différenciation sont remplacés par un préprocesseur analogique.

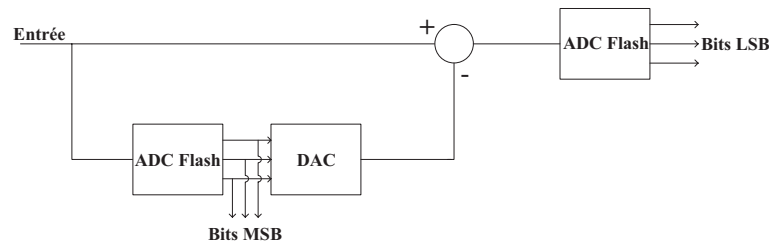


FIG. 6.3 – *Convertisseur demi-flash 6 bits.*

6.2.3 L'ADC multi-flash ("subranging")

Un ADC multi-flash est décomposé en plusieurs étages d'ADC de type double flash. Ces convertisseurs ont un temps de conversion beaucoup plus long mais présente l'avantage d'utiliser beaucoup moins de comparateurs. Chaque étage doit fournir une partie de la sortie digitale et un reste pour l'étage suivant. La partie "hardware" décroît en fonction du nombre d'étages. Il en est de même pour la précision des comparateurs qui doivent être extrêmement précis sur les premiers étages et beaucoup moins sur les derniers.

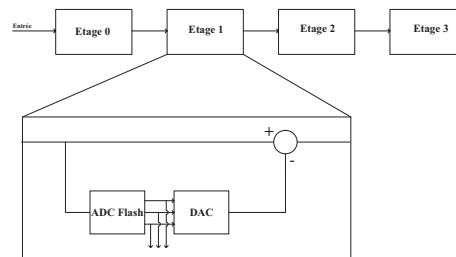


FIG. 6.4 – *Convertisseur multi-flash.*

6.2. LES PRINCIPALES ARCHITECTURES DE CONVERSION ANALOGIQUE NUMÉRIQUE

6.2.4 L'ADC à approximations successives

Le convertisseur à approximations successives (cf figure 6.5) est un ADC de type "successive approximation" qui utilise un DAC pour produire un signal analogique. Ce signal analogique fait une approximation du signal d'entrée. On ajuste le DAC par approximations successives de façon à ce que le code en sortie corresponde au signal d'entrée. Un convertisseur de ce type est composé seulement d'un échantillonneur, un ADC, un dac et un processeur logique qui contrôle le dac. Il présente l'avantage d'utiliser peu "d'hardware" mais convertit les bits en série. Pour un ADC 10 bits, il faudra donc 10 cycles pour convertir la donnée.

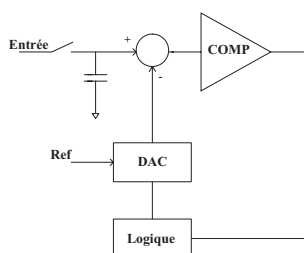


FIG. 6.5 – *Convertisseur à approximations successives.*

6.2.5 L'ADC à recouvrement (pipeline)

Le convertisseur pipeline (cf figure 6.6) est un autre type d'ADC multi-flash. Il permet d'améliorer le nombre de bits en sortie et la tolérance à l'erreur sur les comparateurs. On a rajouté un échantillonneur et un amplificateur par rapport à l'ADC de type multi-flash. L'amplificateur permet d'amplifier le reste avant de l'envoyer dans l'étage suivant.

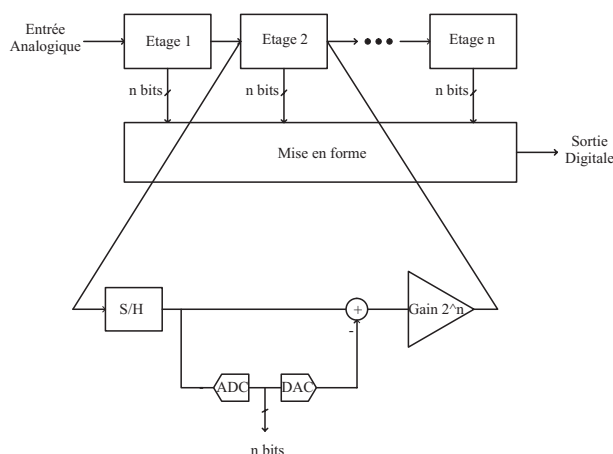


FIG. 6.6 – *Convertisseur pipeline.*

6.2.6 L'ADC dynamique cyclique (recirculating)

Un ADC dynamique cyclique (cf figure 6.7) est un seul étage pipeline où la sortie est rebouclée sur l'entrée. Ils utilisent très peu d'hardware et dissipent peu de puissance. La conversion digitale de la valeur en cours doit être terminée avant de digitaliser une autre valeur.

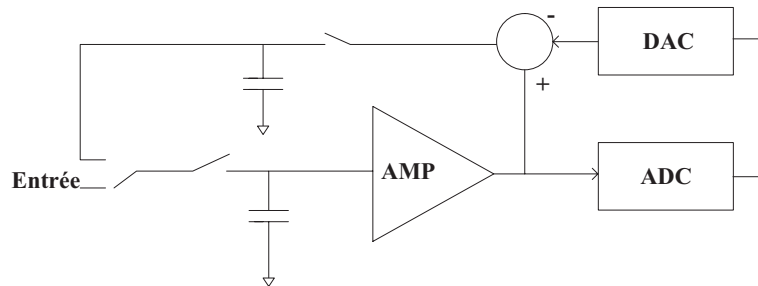


FIG. 6.7 – *Convertisseur dynamique cyclique.*

6.2.7 L'ADC sigma-delta

Les convertisseurs de type sigma-delta (cf figure 6.8) possèdent une grande résolution et la meilleure linéarité différentielle théorique. L'opération est basée sur un modulateur sigma-delta qui échantillonne à une fréquence supérieure à la fréquence du signal d'entrée ce même signal d'entrée. Il exécute ainsi un bit de quantification de l'erreur entre le signal réel et le signal estimé. Ce bit de quantification passe ensuite dans un filtre de décimation et fournit un code digital.

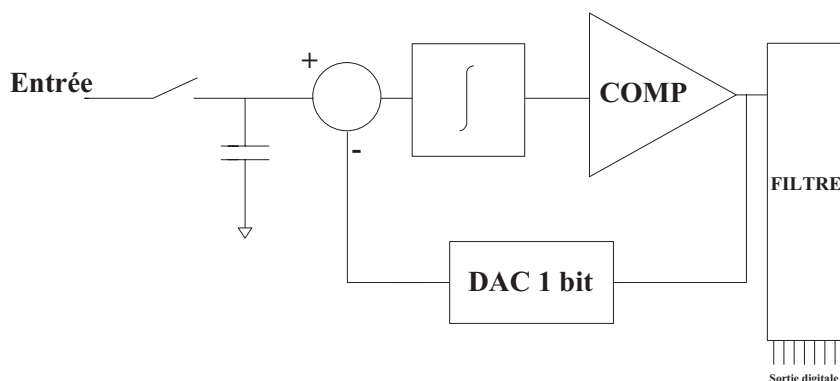


FIG. 6.8 – *Convertisseur sigma-delta.*

6.3. CHOIX D'UNE STRUCTURE DE CONVERTISSEUR

6.2.8 L'ADC à rampe

Le convertisseur à rampe (cf figure 6.9) est la structure la plus simple mais aussi la plus lente. Cependant, on peut arriver à des résolutions importantes. Un compteur de type digital commence à compter quand la rampe passe par 0 et s'arrête lorsque cette même rampe est supérieure au signal d'entrée. La valeur ainsi indiquée par le compteur sera le code digital de sortie.

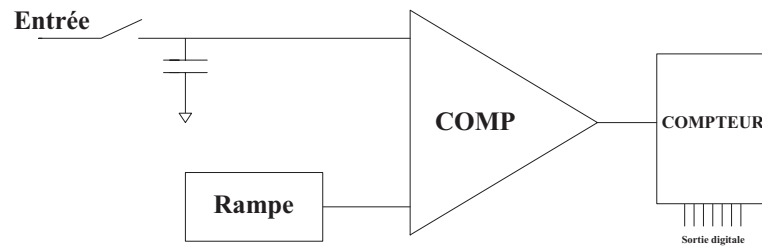


FIG. 6.9 – *Convertisseur à rampe.*

6.3 Choix d'une structure de convertisseur

Le cahier des charges nous demande une précision sur l'énergie de 8 bits. L'élaboration d'un convertisseur analogique numérique sur 10 bits est la solution retenue. Les 2 bits supplémentaires correspondent à une marge de manoeuvre que l'on se laisse. En prenant en compte la mise en place d'un système d'alimentation pulsé, un choix a été fait de numériser une donnée toutes les 200 ns. Avec une base de 128 ADC par voies, on aura donc 128 données à traiter par ADC. Ceci représente un temps pour numériser de $25,6 \mu s$. Nous utiliserons donc un convertisseur de type pipeline à sortie parallèle. Cette structure est un bon compromis entre résolution et consommation.

En d'autres termes, la résolution de notre ADC est de 10 bits, ce qui représente une résolution de 1 sur 1024. En considérant que la dynamique d'entrée de notre convertisseur est de 2 V différentiel, le pas de quantification sera :

$$q = \frac{2V}{1024} = 1,95 mV$$

Ce qui signifie qu'une variation de l'entrée de $1,95 mV$ fait changer le LSB du code de sortie. Pour ce qui est des contraintes en consommation, on utilise une alimentation de $\pm 2,5 V$. Ce convertisseur gèrera 128 voies de mesures, la puissance dissipée devra être la plus faible possible.

La structure du système sera complètement différentielle. Le signal d'entrée peut varier entre $\pm 1 V$ et la tension de référence sera de $\pm 0,5 V$.

6.4 Bibliographie sur les différentes réalisations de convertisseur analogique numérique de type pipeline

A travers les différentes publications consultées, voici un tableau récapitulatif de ce qui a été développé dans ce domaine depuis les 10 dernières années. La fréquence est exprimée en Mhz et la puissance dissipée en mW.

Réf.	Auteur	Compagnie	Publi.	Techno.	Alim.	Rés.	Fréq.	Puiss.
1	Real	An. Dev.	JSSC 08/91	2 μm BC	10	10	20	1000
2	Lewis	Bell Labs	JSSC 03/92	0,9 μm C		10	20	240
3	Karanicolas	MIT	JSSC 12/93	2,4 μm BC	8	15	1	1800
4	Yotsuyanagi	NEC	JSSC 03/93	0,8 μm C	5	10	50	900
5	Lee	MIT	JSSC 04/94	1,6 μm C	5	12	0,6	45
6	Macq	Alcatel	JSSC 08/94	2,4 μm C	5	10	0,55	20
7	Sone	NEC	JSSC 12/93	0,8 μm BC	5	10	100	950
8	Colleran	UCLA	JSSC 12/93	4 Ghz Bip.	10	10	75	800
9	Kusumuto	Matsushita	JSSC 12/93	0,8 μm C	2,5	10	20	30
10	Nakamura	Hitachi	CICC 05/94	0,8 μm C	2,7	10	40	85
11	Cho	Univ. Cali.	CICC 05/94	1,2 μm C	3,3	10	20	35
12	Cline	Univ. Cali.	CICC 05/95	1,2 μm C	5	14	5	166
13	Abo		IEEE 05/99	0,6 μm C	1,5	10	14	36
14	Chen		IEEE 06/01	0,6 μm C	5	14	20	720
16	Yang		IEEE 12/01	0,35 μm C	3	14	75	340
17	Rimal	Univ. Mich.		0,35 μm C	3	10	80	87
18	Chang		IEEE 08/03	0,35 μm C	1,4	10	25	21

TAB. 6.1 – *Comparaison des performances de convertisseur pipeline.*

Le service de M. Gray, Université de Berkeley en Californie, a effectué d'importantes recherches dans le domaine de la conversion analogique numérique pipeline. Les principales sources d'erreur dans la réalisation de ce type de convertisseur peuvent être résumées en deux points :

- Le bruit thermique qui est la conséquence du mouvement aléatoire des électrons et qui varie d'un échantillon à l'autre. Un courant aléatoire est ainsi généré et augmente avec la température. L'échantillonneur-bloqueur de l'entrée est la plus importante source de bruit.
- L'appariement des composants qui ne varie pas d'un échantillon à l'autre et qui intervient sur deux blocs : l'offset des comparateurs et l'erreur de gain sur l'amplificateur due principalement à l'appariement des capacités.

6.5. STRUCTURE INTERNE DU SCHÉMA

6.5 Stucture interne du schéma

Le principe de base de notre convertisseur analogique numérique pipeline est basé sur un algorithme simple. Deux cas se présentent :

- La tension d'entrée est supérieure à la tension de référence : $V_{in+1} = 2 \times (V_{in} - V_{ref})$
- La tension d'entrée est inférieure à la tension de référence : $V_{in+1} = 2 \times (V_{in})$

Une première étape de notre conversion consiste à comparer la valeur appliquée à l'entrée que l'on appellera V_{in} à notre valeur de référence notée V_{ref} . Cette première opération sera réalisée au moyen d'un comparateur qui fournit en sortie une valeur numérique de type 0 ou 1. Cette valeur numérique est 0 si la tension d'entrée est inférieure à notre tension de référence, sinon, elle sera 1. Le deuxième élément de notre convertisseur est un amplificateur monté en gain 2. La sortie du comparateur commande les entrées appliquées à l'amplificateur par l'intermédiaire d'interrupteur. Deux cas se présentent ; soit $V_{in+1} = 2 \times (V_{in} - V_{ref})$ si la tension d'entrée est supérieure à la tension de référence ; soit $V_{in+1} = 2 \times (V_{in})$ si la tension d'entrée est inférieure à la tension de référence. Ensuite cette valeur est appliquée au second comparateur et ainsi de suite jusqu'au bit 10. Ce système fournit 10 bits en parallèle après une phase d'initialisation de 10 coups d'horloge. L'intérêt d'un tel système est que chaque étage fonctionne simultanément. Par exemple, lorsque l'étage 3 traite le signal V_n , l'étage 2 traitera le signal V_{n+1} et l'étage 1, le signal V_{n+2} .

Les deux principaux blocs de notre ADC seront donc un comparateur et un amplificateur en gain de 2. Ces deux-sous blocs utilisés ont été décrits précédemment. Un point critique dans la conception de cette ADC sera d'avoir un gain de 2 très précis. Pour des raisons d'appariement, l'amplificateur en gain 2 sera réalisé avec des capacités. Elles présentent aussi l'avantage considérable de ne pas consommer au repos.

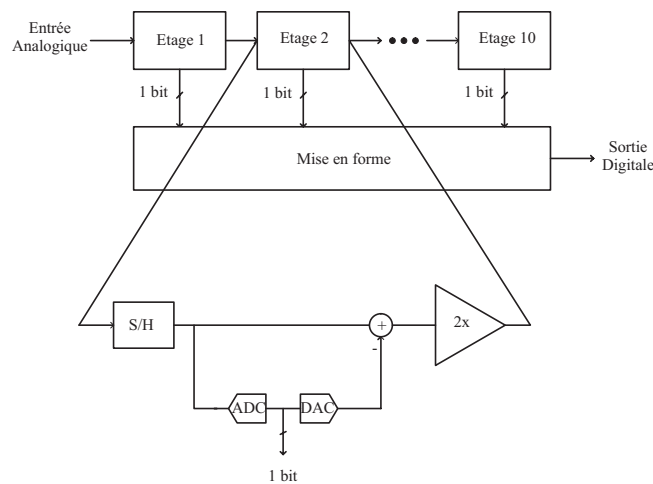


FIG. 6.10 – Schéma de principe du convertisseur analogique numérique.

Le schéma de principe représenté en figure 6.10 sera décomposé de la façon suivante :

- L'échantillonneur et la fonction soustraction et multiplication par 2 seront assurées par un amplificateur en gain 2 bouclé avec des capacités et un système de switch qui assurera l'échantillonnage.
- Le sous-ADC sera ici un comparateur.
- Le dac sera un système d'interrupteurs qui sélectionnera la valeur à retrancher.

6.5.1 L'amplificateur en gain 2 et le dac

L'amplificateur utilisé dans le convertisseur analogique numérique sera le même que celui utilisé dans la mise en forme. Un amplificateur bouclé en gain 2 avec rétroaction capacitive a été réalisé, il est déterminant pour notre système de conversion analogique numérique. En effet, la précision du gain 2 donnera la résolution du convertisseur analogique numérique. Ce bloc doit donc être conçu avec une grande attention. On choisit de faire ce gain 2 avec un rapport de capacité car celles-ci permettent une consommation moindre au repos. De plus, l'appariement des capacités peut être respecté avec une précision au pour mille, si le dessin de masque est soigné. Ce qui signifie qu'une précision au pour mille sur le gain 2 peut être envisagé avec un système de rétroaction capacitif.

Schéma de principe

Un point important à préciser est que dans l'immédiat, il n'y aura pas d'échantillonneur-bloqueur à l'entrée du prototype ADC. On appliquera donc des signaux invariants dans le temps. L'amplificateur fonctionnera suivant deux modes, un mode dit suiveur et un mode de multiplication par 2 et blocage. Pour comprendre effectivement comment se déroule ces différentes étapes, voici un schéma de principe détaillé. L'horloge du système fonctionne à une fréquence de 5 Mhz. Le schéma de principe du bloc principal est représenté sur la figure 6.11.

Cet amplificateur est composé de 2 entrées différentielles et de 2 sorties différentielles. Sur chaque entrée est appliquée la somme d'une entrée du signal différentiel et d'une référence. Cette somme est effectuée par des capacités. La référence à appliquer à l'entrée de l'amplificateur, dans notre cas la masse ou 500mV, est commandée par la sortie du comparateur via un système d'interrupteurs. L'interrupteur série placé sur l'entrée de l'amplificateur est commandé par un signal d'horloge de fréquence 5Mhz. On peut donc décomposer le système en deux phases :

- Une phase de suivi du signal d'une durée de 100ns pendant laquelle les capacités de valeur $2C$ vont réaliser une somme.
- Une deuxième phase de multiplication par 2 qui va nous permettre d'obtenir la valeur stockée multipliée par 2 en sortie de l'amplificateur et qui va dans le même temps charger cette valeur à l'entrée de l'amplificateur de l'étage suivant.

6.5. STRUCTURE INTERNE DU SCHÉMA

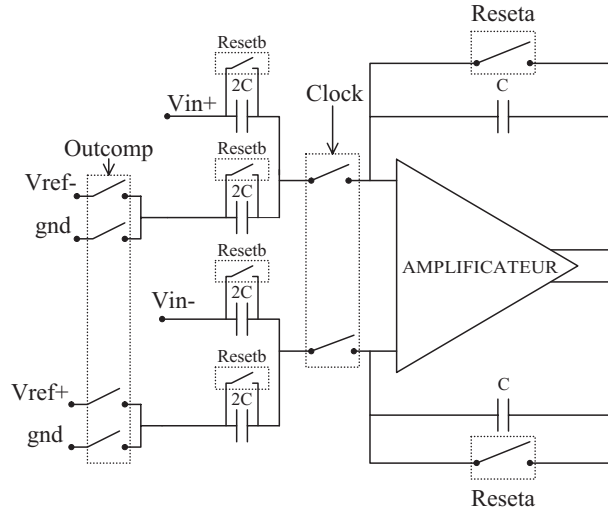


FIG. 6.11 – Bloc principal de l'amplificateur en gain 2.

L'interrupteur "Reseta" sera piloté par un signal de commande annexe qui viendra initialiser le système. En effet, il est nécessaire d'avoir un état initial où les capacités sont totalement vides pour partir d'un état 0. En revanche, cet interrupteur introduit une capacité parasite qui modifie notre gain 2. Pour pallier cela, un interrupteur ouvert en permanence est placé en parallèle de chaque capacité 2C assurant la somme. Ces interrupteurs notés "Resetb", qui sont en fait l'association de 2 transistors un NMOS et un PMOS montés en parallèle, sont eux mêmes deux fois plus petits que l'interrupteur "Reseta" pour conserver un rapport adéquat. Le calcul du gain de cet amplificateur est exposé ci-dessous :

On pose : C_a = capacité formée par l'interrupteur "Reseta" ouvert. On trouve ainsi l'impédance équivalente à la mise en parallèle de C_a et C notée Z_a telle que :

$$\frac{1}{Z_a} = j\omega \times C + j\omega \times C_a$$

$$Z_a = \frac{1}{j\omega \times (C + C_a)}$$

On pose de même : C_b = capacité formée par l'interrupteur "Resetb" ouvert. On trouve ainsi l'impédance équivalente à la mise en parallèle de C_b et $2 \times C$ notée Z_b telle que :

$$\frac{1}{Z_b} = j\omega \times 2 \times C + j\omega \times C_b$$

$$Z_b = \frac{1}{j\omega \times (2 \times C + C_b)}$$

On retrouve le gain de notre système qui est de la forme :

$$\frac{V_{out1}}{Z_a} = \frac{V_{in+}}{Z_b} + \frac{V_{ref-}}{Z_b}$$

$$V_{out1} \times j\omega \times (C + C_a) = (V_{in+} + V_{ref-}) \times j\omega \times (2 \times C + C_b)$$

$$\boxed{\frac{V_{out1}}{V_{in+} + V_{ref-}} = \frac{(2 \times C + C_b)}{(C + C_a)}} \quad (6.6)$$

Pour avoir un gain exactement de 2, il faut que la capacité C_b formée par l'interrupteur "Resetb" soit le double de la capacité C_a . Autre point, les capacités de contre-réaction doivent être suffisamment grandes pour ne pas être gêné par le bruit du système, mais elles doivent aussi être suffisamment rapides, ce qui empêche des capacités de valeur trop grandes.

Résultats de simulation schématique

A l'aide du simulateur, un bon compromis entre performance et surface est d'utiliser des capacités respectivement de 300 fF et 600 fF.

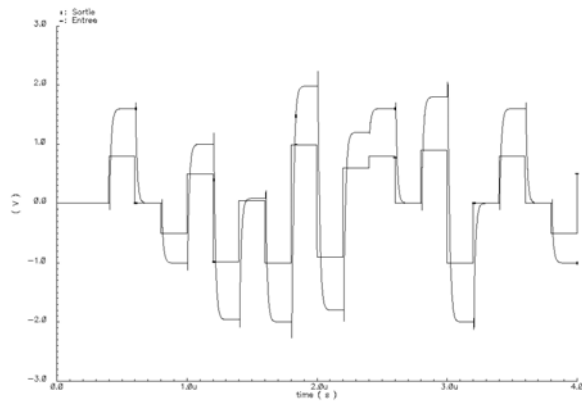


FIG. 6.12 – Simulation du gain 2 en temporel

L'appariement des capacités

Les capacités utilisées dans la technologie $0.35 \mu m$ de chez AMS sont de type poly-poly comme dessiné dans la figure 6.13 :

La théorie pour réaliser un appariement convenable : L'appariement entre deux composants est l'écart entre le rapport des composants mesurés et le rapport des composants théoriques. On peut exprimer cette quantité par la formule suivante. Si X_1 et X_2 sont les valeurs prévues et x_1 et x_2 sont les valeurs mesurées, alors :

$$\delta = \frac{\frac{x_2}{x_1} - \frac{X_2}{X_1}}{\frac{X_2}{X_1}} = \frac{X_1 \times x_2}{X_2 \times x_1} - 1 \quad (6.7)$$

6.5. STRUCTURE INTERNE DU SCHÉMA

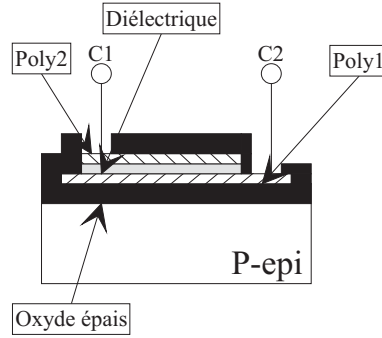


FIG. 6.13 – *Dessin d'une capacité.*

Les disparités entre les composants proviennent des fluctuations microscopiques dans les dimensions, les dopages, les épaisseurs d'oxyde et d'autres paramètres qui influencent les valeurs de composants. Ces fluctuations statistiques ne peuvent pas être éliminées complètement mais leur impact peut être minimisé. On cherche à appairer les composants pour que ces derniers soient insensibles aux sources d'erreurs systématiques. Il existe deux principales catégories de fluctuations :

- Celles qui interviennent sur les bords du composant : fluctuations périphériques.
- Celles qui interviennent dans le composant lui-même : fluctuations de surface.

Prenons l'exemple d'une paire de capacités, les disparités aléatoires possèdent une déviation standard s_c telle que :

$$s_c = \frac{1}{\sqrt{C}} \times \sqrt{k_a + \frac{k_p}{\sqrt{C}}} \quad (6.8)$$

Ici k_a et k_p sont des constantes et représentent respectivement la contribution des fluctuations régionales et périphériques. Pour des capacités suffisamment grandes, le terme régional domine et les disparités deviennent inversement proportionnel à la racine carrée de la capacité. Si on multiplie par 2 la taille d'une paire de capacités, ceci va diminuer les disparités aléatoires de 30%. L'appariement des capacités est dominé par la plus petite capacité.

Les dimensions des géométries fabriquées dans le silicium ne correspondent jamais avec la base de données du dessin parce que les géométries varient pendant la photolithographie, la gravure, la diffusion et l'implantation. La différence entre la largeur dessinée et la largeur mesurée correspond aux erreurs systématiques. En théorie, les capacités appairées sont insensibles à ces erreurs quand leur rapport aire-périphérie est égal. Pour deux capacités de même valeurs, il faudra utiliser la même géométrie.

Les règles de bases à respecter pour dessiner des capacités appairées :

- Il faut utiliser des capacités appairées avec des géométries identiques. Les capacités de tailles différentes ont un mauvais appariement. Si ces capacités n'ont pas la

même valeur, ce qui est le cas pour réaliser notre gain de 2, il faut utiliser des capacités dites unitaires de même géométrie que l'on associera en parallèles pour éviter les erreurs d'appariement systématique.

- Il faut utiliser des géométries de type carré ; en effet, les variations périphériques sont une source majeure d'appariement aléatoire. Plus petit est le rapport périphérie-aire et meilleur est l'appariement, le cas idéal étant un carré.
- Dessiner des capacités aussi grandes que possibles. Une taille optimale existe cependant car les effets de gradients interviennent ensuite, elle se situe entre $20\mu m \times 20\mu m$ et $50\mu m \times 50\mu m$.
- Placer les capacités les unes à côté des autres. Dans le cas d'une matrice de capacités, l'espacement entre les lignes et les colonnes doit être le même.
- Placer les condensateurs au dessus de l'oxyde de champ.
- Connecter l'électrode la plus haute au noeud de plus haute impédance pour minimiser les capacités parasites. De plus, le bruit du substrat se couple de façon plus importante à l'électrode la plus basse.
- Placer des capacités dites "dummy" autour des bords extérieurs de la matrice.
- Prendre en compte la capacité des fils de connexion entre les différents éléments.
- Ne pas faire passer de fils sur les capacités matchés même si elles sont protégées électrostatiquement.
- Placer les capacités dans des secteurs à faible gradient de stress.
- Placer les capacités appariées loin du dispositif de puissance.

La pratique : Dans notre cas, les 5 capacités de 300 fF (dimension $18,5\mu m \times 18,5\mu m$) seront disposées de la façon suivante afin d'obtenir l'appariement désiré. Etant donné la structure différentielle de notre montage, deux réseaux de capacités seront dessinés.

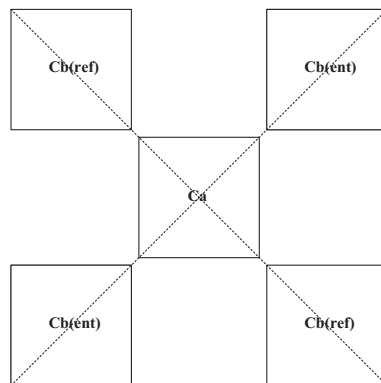


FIG. 6.14 – *Dessin des capacités en gain 2.*

6.5. STRUCTURE INTERNE DU SCHÉMA

Résultats de tests

Les mesures ont été effectuées à l'aide d'un oscilloscope et les calculs d'erreur sont donnés par la formule du constructeur : $\pm(0,022 \times |mesure| + 0,05 \times div)$. L'erreur de mesure est de 5% sur chaque valeur d'entrée et de sortie.

Entree (en mV)	50	100	200	300	450	550	640	760	840	920	1000
Erreur entrée(en mV)	1	2	5	7	10	12	14	16	19	20	22
Sortie Puce1(en mV)	100	195	400	600	900	1080	1260	1500	1650	1850	1950
Sortie Puce3(en mV)	102	195	390	590	920	1100	1260	1520	1700	1850	2000
Sortie Puce4(en mV)	100	200	400	590	880	1080	1280	1520	1650	1850	1950
Sortie Puce5(en mV)	100	205	400	600	900	1100	1280	1520	1650	1850	2050
Sortie Puce6(en mV)	98	195	400	600	900	1100	1300	1520	1700	1800	2050
Sortie Puce8(en mV)	100	205	390	610	900	1120	1260	1520	1700	1850	2050
Sortie Puce9(en mV)	100	200	410	610	880	1120	1280	1540	1700	1850	2050
Sortie Puce10(en mV)	102	200	400	590	920	1080	1280	1500	1700	1900	2000
Erreur sorties(en mV)	2	4	9	13	20	24	27	32	38	42	44

TAB. 6.2 – Mesures du gain 2 de l'amplificateur bouclé en capacitif.

A partir de ces mesures effectuées sur les huit puces, on calcule par la méthode des moindres carrés, le coefficient de la pente pour chaque puce ainsi que son ordonnée à l'origine. En effet, on peut écrire :

$$y = m \times x + b$$

Avec y = sortie, x =entrée, m= gain et b= offset. On trouve ainsi les résultats suivants exposés dans le tableau 6.3.

Puce	1	3	4	5	6	8	9	10
Gain	1,97	2,01	1,98	2,01	2,02	2,03	2,03	2,02
Offset(en mV)	4	-6	1	-4	-5	-7	-6	-7

TAB. 6.3 – Gain et offset de l'amplificateur.

Or, on sait que l'erreur de mesure est de 2%. Dans notre cas, nous souhaitons mesurer une erreur sur le gain de un pour mille. Les mesures ne peuvent donc pas satisfaire notre précision ; on peut en revanche dire, en appliquant la méthode des moindres carrés sur les données, que le gain moyen est de 2,01 avec un écart-type de 0,02. De même, l'offset moyen est de -4 mV avec un écart-type de 4 mV.

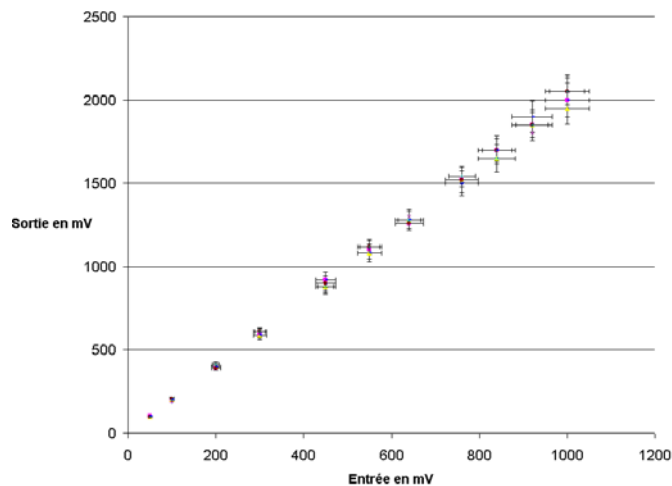


FIG. 6.15 – *Linéarité du gain 2.*

6.5.2 Le comparateur

Le comparateur est composé de quatre entrées différentielles, 2 entrées différentielles correspondant à la valeur d'entrée à convertir et 2 entrées différentielles référence correspondant dans notre cas à ± 500 mV. Le comparateur est commandé par une horloge de fréquence 5 Mhz et d'amplitude $\pm 2,5$ V. C'est un comparateur de type "verrouillé et mémorisé" qui sera actif sur front d'horloge.

6.5.3 La sortie parallèle

Pour avoir en sortie un signal sur 10 bits en parallèle, un système de bascule doit être mis en place. Ce dernier nous permettra de décaler dans le temps les sorties et ainsi obtenir les 10 bits. La bascule utilisée a été reprise dans une librairie du fondeur AMS. Les modifications apportées sont les suivantes :

- Les transistors utilisés supportent 5V de tension d'alimentation.
- Les tensions d'alimentation différentielles.
- Les tailles ont été adaptées aux nouveaux transistors en conservant cependant les mêmes rapports.

6.6. L'ADC DÉVELOPPÉ EN $0,35 \mu\text{m}$ CMOS CSI

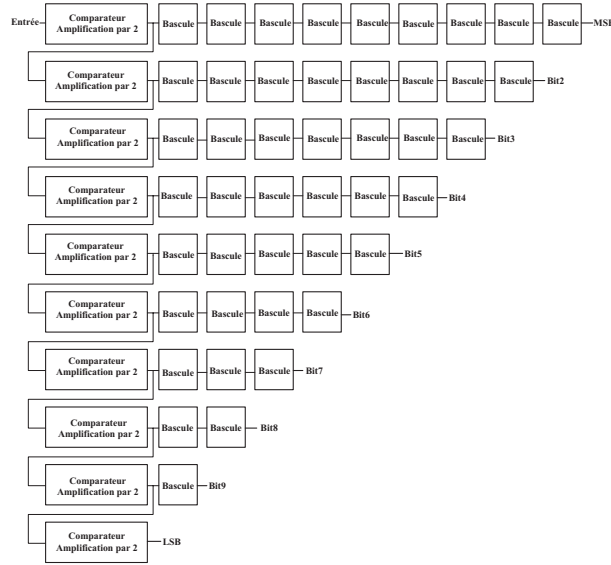


FIG. 6.16 – *Structure globale du convertisseur analogique numérique.*

6.6 L'ADC développé en $0,35 \mu\text{m}$ CMOS CSI

6.6.1 Comportement schématique

Le convertisseur analogique numérique de type 10 bits pipeline correspondra à une boîte comportant 8 entrées différentielles et 10 sorties pour chaque bit du convertisseur. Le schéma 6.17 représente le convertisseur dans son environnement de simulation.

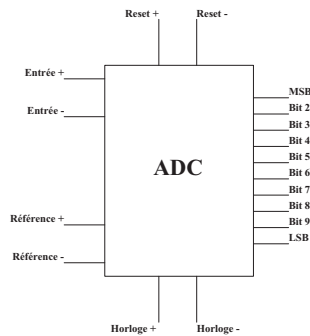


FIG. 6.17 – *Les entrées et sorties de l'ADC.*

- Les deux entrées différentielles sont les entrées du signal à convertir. Ces entrées sont comprises entre 0 et 1 V pour l'une et 0 et -1 V pour l'autre.
- Les deux références différentielles ont une valeur respectivement de +500mV et -500mV dans notre cas.
- Le signal d'initialisation est lui aussi différentiel, il varie entre +2,5V et -2,5V et correspond à une impulsion de 200ns que l'on répète dans la simulation toutes les $4\mu\text{s}$. Cette fréquence de répétition de la remise à zéro n'a dans l'immédiat aucune

importance.

- L'horloge qui fonctionne à une fréquence de 5Mhz entre deux niveaux $\pm 2.5V$.
- Les sorties des 10 bits, sachant qu'une valeur sur 10 bits sort à une fréquence de 5Mhz.

6.6.2 Résultats de simulation

Dans le résultat de simulation 6.18, le convertisseur affiche en sortie les 10 bits après $1.1 \mu s$, ceci étant du à l'initialisation du système (200ns de remise à zéro et 9 bascules pour le dixième bit).

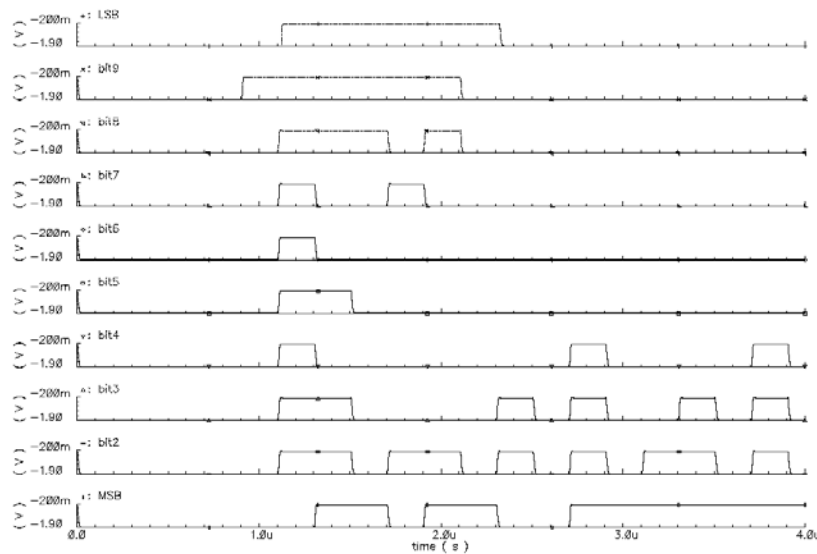


FIG. 6.18 – *Résultat de simulation parasitique sur 10 bits.*

Le tableau permet d'effectuer une comparaison entre la conversion théorique et la conversion pratique. Une non prise en compte des capacités parasites en simulation avait grandement amélioré nos résultats. Mais en tenant compte de ces dernières, les résultats observés sont entachés d'importantes erreurs. La puissance totale dissipée par le convertisseur est de 25 mW. Un étage de type suiveur a été rajouté sur chaque bit de sortie pour attaquer les plots de sortie.

6.6. L'ADC DÉVELOPPÉ EN 0,35 μm CMOS CSI

Entrée (V)	1	1,8	1	0,5	1,5	0,02	1,04	0	1,99	0,1
Cas théorique										
MSB	1	1	1	0	1	0	1	0	1	0
Bit2	0	1	0	0	1	0	0	0	1	0
Bit3	0	1	0	1	0	0	0	0	1	0
Bit4	0	0	0	1	0	0	0	0	1	0
Bit5	0	0	0	1	0	0	0	0	1	1
Bit6	0	1	0	1	0	0	1	0	1	1
Bit7	0	1	0	1	0	1	0	0	1	0
Bit8	0	0	0	1	0	0	1	0	0	0
Bit9	0	0	0	1	0	1	0	0	1	1
LSB	0	1	0	1	0	0	0	0	0	1
Cas pratique										
MSB	0	1	1	0	1	1	0	0	1	1
Bit2	1	1	0	1	1	0	1	0	1	0
Bit3	1	1	0	0	0	0	1	0	1	0
Bit4	1	0	0	0	0	0	0	0	1	0
Bit5	1	1	0	0	0	0	0	0	0	0
Bit6	1	0	0	0	0	0	0	0	0	0
Bit7	1	0	0	1	0	0	0	0	0	0
Bit8	1	1	1	0	1	0	0	0	0	0
Bit9	1	1	1	1	1	0	0	0	0	0
LSB	1	1	1	1	1	1	0	0	0	0
Erreur en LSB	0	7LSB	8LSB	11LSB	8LSB	Faux	Faux	0	Faux	Faux

TAB. 6.4 – Codage théorique et en simulation de l'ADC.

6.6.3 Tests sur le prototype

Une série de tests sur le prototype ont été réalisés, pour ce faire, une carte (cf figure 6.19) a été développée. Cette carte de tests a été mise au point avec le logiciel "Concept". Initialement prévue pour fournir des signaux différentiels à partir d'un signal en mode commun, elle servira simplement de boîtier à notre convertisseur.

Pour obtenir les signaux identiques à notre simulation, une procédure de tests est mise en place et nous permettra d'avoir un système complètement synchrone. Cette procédure de tests est basée sur une carte horloge suivie par une carte de conversion et notre convertisseur.

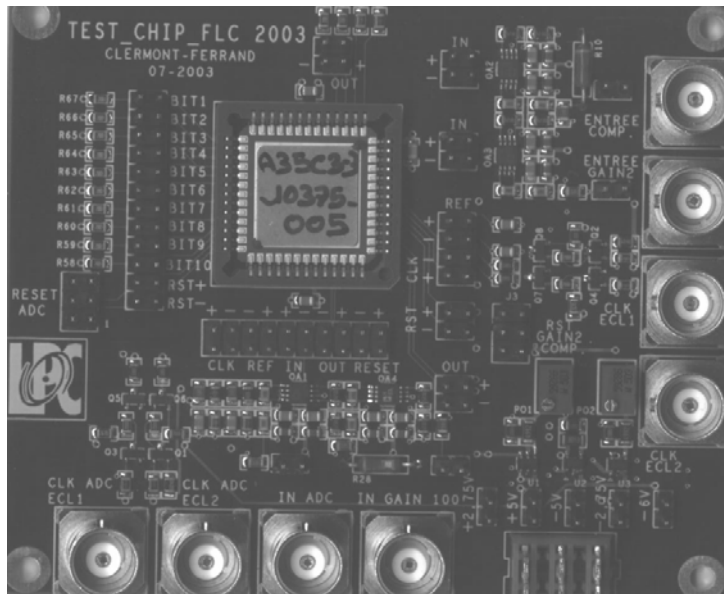


FIG. 6.19 – Carte PCB du convertisseur.

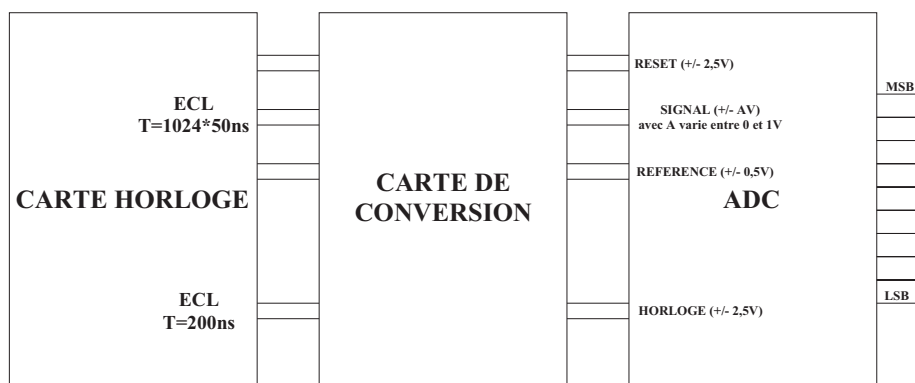


FIG. 6.20 – Procédure de test du convertisseur analogique numérique.

La carte horloge

La carte horloge fournit des horloges différentielles de type ECL ou LVDS avec une période variable. Son fonctionnement est basé sur un quartz à 20 Mhz. Les signaux utilisés en sortie de la carte horloge sont de type ECL. Un premier signal divisé par quatre fournit l'horloge du système qui bat à 200 ns. Trois sorties, de type trigger ECL dont la période est de 1024×50 ns, fourniront respectivement le signal de remise à zéro, le signal d'entrée

6.6. L'ADC DÉVELOPPÉ EN $0,35\ \mu\text{m}$ CMOS CSI

et le signal de référence. Ces quatre sorties sont de type ECL, c'est à dire avec deux niveaux variant entre $-0,8\ \text{V}$ et $-1,6\ \text{V}$, et un mode commun de $-1,2\ \text{V}$. Une conversion devra être effectuée de façon à obtenir les signaux désirés en entrée du convertisseur.

La carte de conversion

L'amplitude des signaux ECL issus de la carte horloge doit être adaptée pour l'entrée du convertisseur. C'est le rôle de notre carte de conversion. Cette carte est basée sur un amplificateur opérationnel à entrées et sorties différentielles. Les signaux obtenus en sortie de cette carte obéiront au chronogramme 6.21.

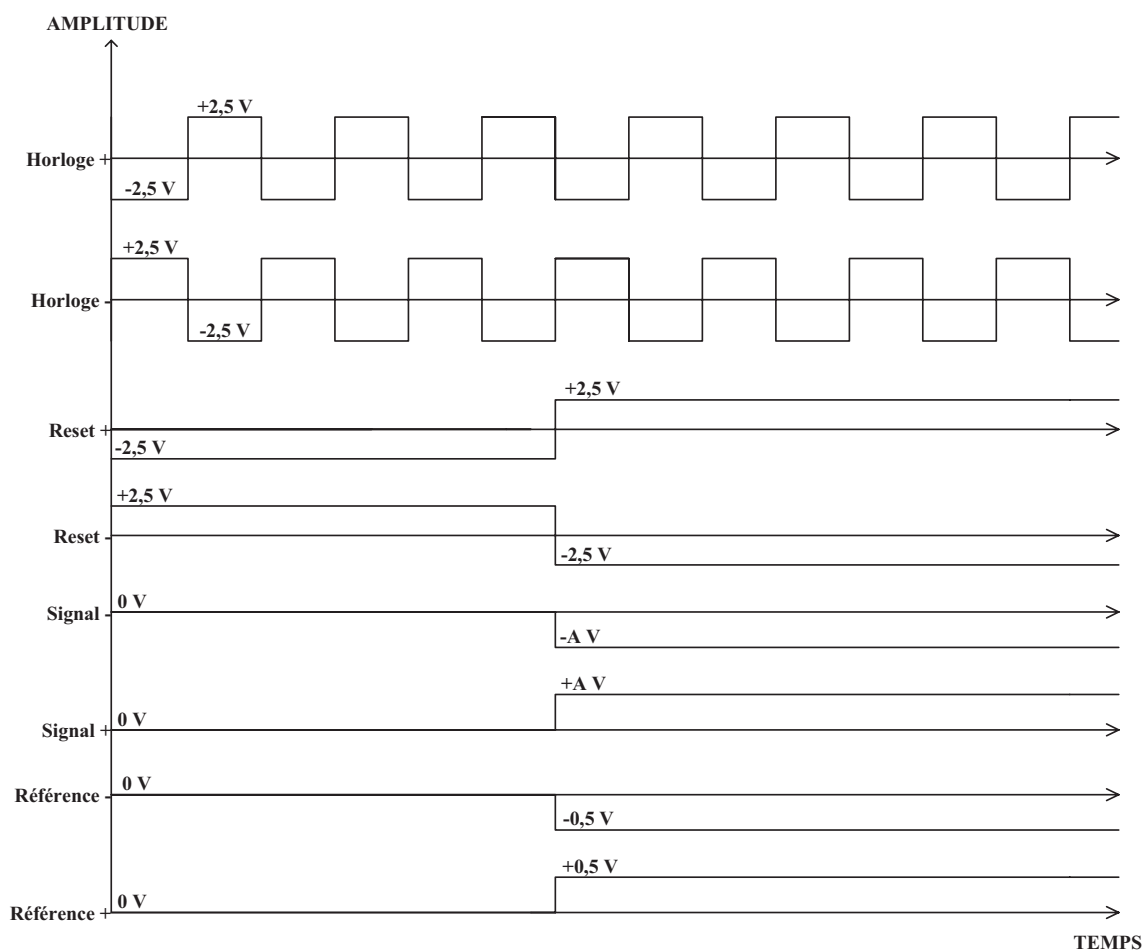


FIG. 6.21 – Chronogramme des signaux d'entrées du convertisseur.

L'horloge différentielle du système L'horloge différentielle de période 200 ns est obtenue à partir de niveaux ECL, le rapport des résistances de l'amplificateur (6.22) est de cinq. On obtient ainsi une horloge différentielle entre $\pm 2 V$.

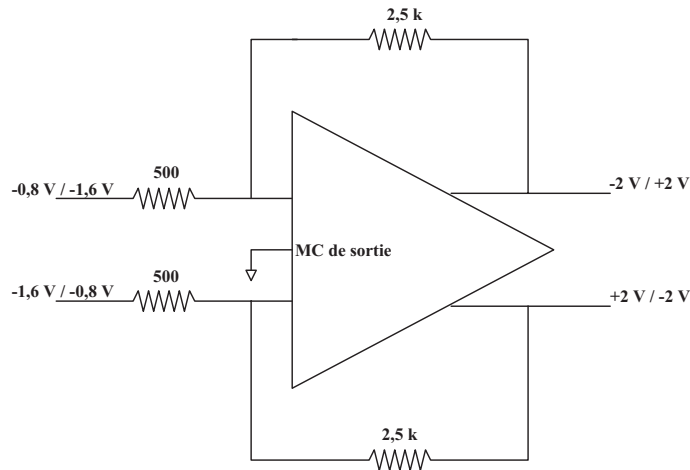


FIG. 6.22 – Horloge du système obtenue à partir de niveaux ECL.

La remise à zéro du système La remise à zéro de période 1024×50 ns est aussi obtenue à partir de niveaux ECL, le rapport des résistances de l'amplificateur (6.22) est de cinq comme pour l'horloge du système. On obtient ainsi une remise à zéro différentielle entre $\pm 2 V$.

Le signal d'entrée Le signal d'entrée différentiel est lui aussi obtenu à partir de niveaux ECL. L'obtention de ce signal passe par plusieurs étapes schématisées sur la figure 6.23.

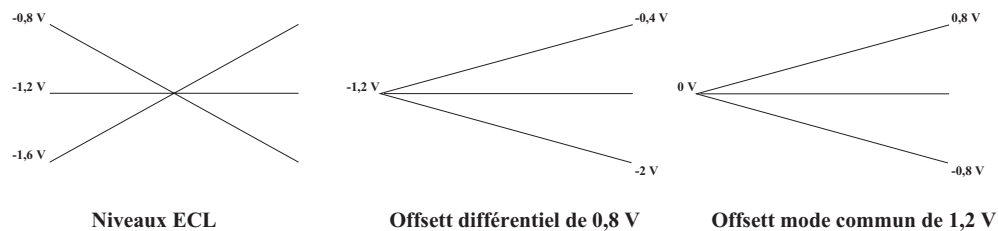


FIG. 6.23 – Trois étapes pour obtenir le signal d'entrée.

La première étape sera de générer un offset différentiel de 0,8 V. La deuxième étape sera d'appliquer un offset de type mode commun de +1,2 V. Enfin, nous ferons varier

6.6. L'ADC DÉVELOPPÉ EN $0,35\ \mu\text{m}$ CMOS CSI

les résistances de contre-réaction entre 0 et $625\ \Omega$ pour obtenir un signal respectivement entre 0 et 1 V pour une entrée et entre 0 et -1 V pour l'autre entrée. Ces trois étapes sont réalisées à l'aide du même amplificateur que précédemment, lequel sera monté comme indiqué sur la figure 6.24.

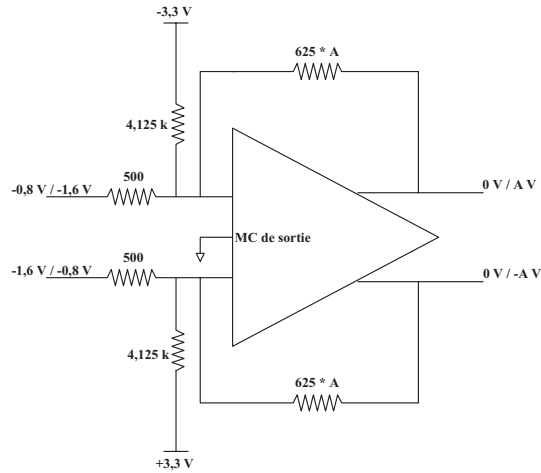


FIG. 6.24 – *Signal d'entrée de l'ADC.*

Le signal de référence Le signal de référence différentiel est lui aussi obtenu à partir de niveaux ECL. L'obtention de ce signal passe par les mêmes étapes que pour le signal d'entrée. La seule différence réside dans le fait que son gain reste fixe pour obtenir respectivement $+0,5\ \text{V}$ et $-0,5\ \text{V}$ comme schématisé sur la figure 6.25.

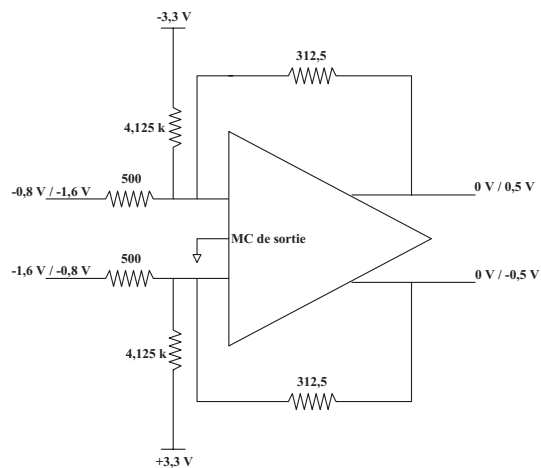


FIG. 6.25 – *Signal de référence de l'ADC.*

Les résultats obtenus

Tous les codes de sortie sont obtenus à l'aide d'un analyseur logique. Une première étude consiste à vérifier les caractéristiques du convertisseur en continu. On applique donc un signal d'entrée fixe et on récupère une statistique sur le code de sortie pour quelques milliers d'échantillons. Ainsi, on définit un écart-type moyen pour chaque puce défini dans le tableau 6.5 :

Puce	1	3	4	5	6	8	9	10
Ecart-type (en LSB)	25	36	19	19	32	55	20	42

TAB. 6.5 – *Ecart type pour chaque convertisseur.*

On peut donc conclure que notre convertisseur fournit 5 bits en sortie. La courbe 6.26 montre la linéarité de l'ensemble des puces ; on observe aussi un tassement pour les grandes valeurs. Ceci est un phénomène normal dû à la saturation du système.

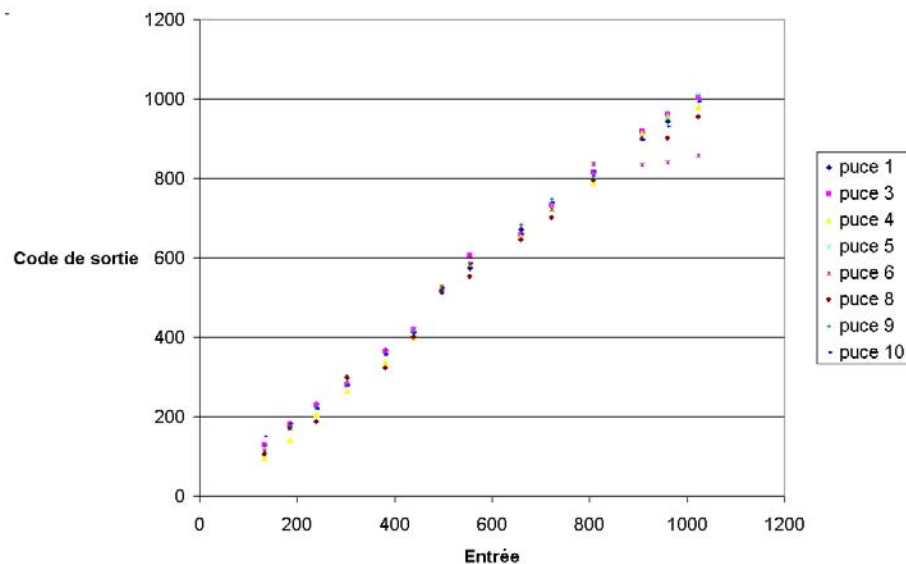


FIG. 6.26 – *Linéarité de l'ADC.*

6.7 L'ADC développé en 0,35 μm CMOS C35B4

6.7.1 Les modifications apportées

Cette nouvelle technologie 0,35 μm , mise au point par le fondeur AMS, présente le gros avantage de posséder une couche de polysilicium haute résistivité qui nous permettra d'utiliser des résistances de plusieurs $\text{k}\Omega$ sans occuper une place trop importante sur la puce. Un intérêt supplémentaire est la présence de 4 couches de métal.

Ainsi, un nouveau prototype d'ADC est parti en fonderie début juillet 2004. Les modifications qui ont été faites par rapport à la version précédente sont les suivantes.

- Un problème évident d'initialisation du système nous amène à mettre en place un signal de commande sur l'interrupteur qui fait une remise à zéro de la capacité 2 C du gain 2.
- Les résistances des différents maître de courant ainsi que de la compensation de mode commun de l'amplificateur sont dessinées en polysilicium haute résistivité ce qui représente un gain de place conséquent.
- Les capacités formant le gain 2 ont été dessinées différemment de façon à obtenir un dessin plus compact qui améliorera sans doute l'appariement.

Cin+	Cin+	C1	Cref-	Cref-
Cref+	Cref+	C2	Cin-	Cin-

FIG. 6.27 – *Dessin des capacités réalisant le gain 2.*

- Le découplage des alimentations a été fait de façon plus soignée que la version précédente pour supprimer les parasites que nous avons eu en tests.
- Les inverseurs de sortie ont été augmentés de façon à pouvoir attaquer les pads de sortie et obtenir ainsi des signaux avec des temps de montée raisonnables.

6.7.2 Résultats de simulation

Une nouvelle version du convertisseur est donc en cours de fabrication et présente en simulation parasitique des caractéristiques très satisfaisantes cf figure 6.28. De plus, la surface active a été nettement diminuée passant de 6,5 mm^2 à 4,4 mm^2 .

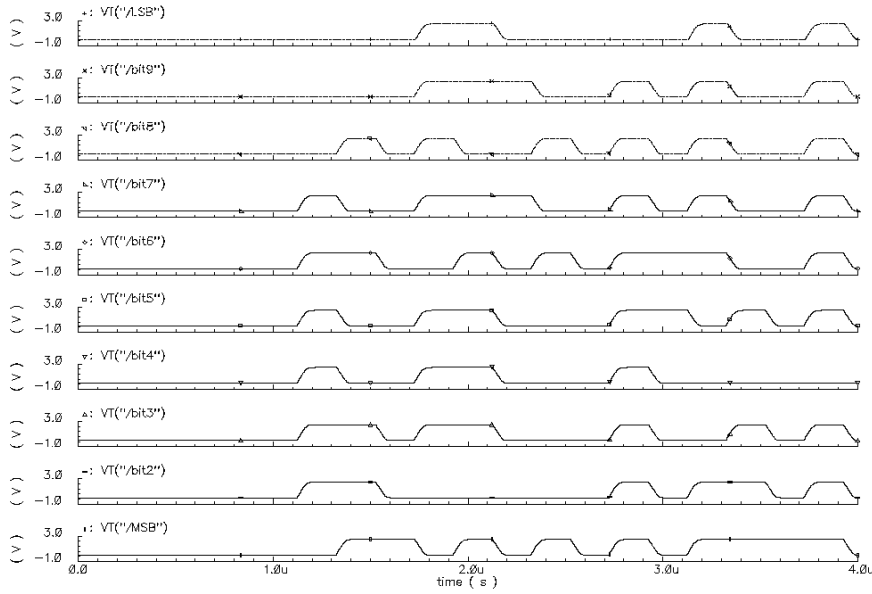


FIG. 6.28 – *Résultat de simulation parasitique des 10 bits de l'ADC.*

Le tableau 6.6 permet d'effectuer une comparaison entre la conversion théorique et la conversion post-dessin. L'erreur maximale constatée en simulation est de 3 LSB (on ne tient pas compte de la première conversion pour des raisons d'initialisation du système). La puissance totale dissipée par le convertisseur est de 20 mW.

6.7. L'ADC DÉVELOPPÉ EN 0,35 μm CMOS C35B4

Entrée (V)	1	1,8	1	0,5	1,5	0,02	1,04	0	1,99	0,1
Cas théorique										
MSB	1	1	1	0	1	0	1	0	1	0
Bit2	0	1	0	0	1	0	0	0	1	0
Bit3	0	1	0	1	0	0	0	0	1	0
Bit4	0	0	0	1	0	0	0	0	1	0
Bit5	0	0	0	1	0	0	0	0	1	1
Bit6	0	1	0	1	0	0	1	0	1	1
Bit7	0	1	0	1	0	1	0	0	1	0
Bit8	0	0	0	1	0	0	1	0	0	0
Bit9	0	0	0	1	0	1	0	0	1	1
LSB	0	1	0	1	0	0	0	0	0	1
Cas pratique										
MSB	0	1	1	0	1	0	1	0	1	0
Bit2	1	1	0	0	0	0	0	0	1	0
Bit3	1	1	0	1	1	0	0	0	1	0
Bit4	1	0	0	1	1	0	0	0	1	0
Bit5	1	0	0	1	1	0	0	0	1	1
Bit6	1	1	0	0	1	0	1	0	1	1
Bit7	1	0	0	1	1	1	0	0	1	0
Bit8	0	1	0	1	0	0	1	0	1	0
Bit9	0	0	0	1	1	1	0	0	1	0
LSB	0	0	0	1	1	0	0	0	0	0
Erreur en LSB	8LSB	2LSB	0	1LSB	1LSB	0	0	1LSB	0	3LSB

TAB. 6.6 – Codage théorique et en simulation parasitique de l'ADC.

6.8 Améliorations à envisager

Pour des raisons de simplicité, on a choisi de convertir 1 bit par étage. Dans une future version, pour optimiser la consommation, le nombre de bits par étage pourrait être modifié (classiquement 1,5 bits par étages), ce qui obligerait la mise en œuvre d'une correction digitale.

Pour améliorer la consommation globale du convertisseur, une solution avec un maître de courant respectivement pour les dix comparateurs et pour les dix amplificateurs sera mise en place.

Conclusion

Les objectifs présentés au début de la thèse ont été atteints. Pour conclure sur les travaux réalisés, nous décomposerons les choses en quatre points principaux.

Un schéma de principe de l'électronique de traitement du signal provenant du calorimètre a été mis en place conjointement avec le LAL Orsay. Il présente la structure générale de l'électronique en justifiant les différents choix.

Deux solutions pour le traitement de l'information sont proposées. Une solution classique à base d'un filtre de type CRRC² et une solution du type intégrateur avec remise à zéro. En ce qui concerne l'intégrateur, un prototype a été mis au point en technologie AMS 0,8 μm . Ce prototype fonctionne et présente les caractéristiques suivantes. L'erreur de linéarité est inférieure à 1 % sur toute la dynamique et la consommation est de 300 μA pour une tension d'alimentation de 5,5 V.

Le deuxième circuit réalisé est un comparateur très faible consommation. C'est un comparateur CMOS avec une sensibilité de quelques μV . La consommation de cet élément est de 100 μA pour une tension d'alimentation de 5,5 V. Cet élément a été développé pour être intégré au convertisseur analogique numérique.

Enfin le troisième circuit réalisé est un convertisseur analogique numérique qui est constitué des deux éléments précédemment décrits. Ce convertisseur analogique numérique est de type pipeline 10 bits à sortie parallèle avec une donnée produite toutes les 200 ns. L'enjeu sur ce bloc était là encore de minimiser la consommation qui est estimée à 20mW.

Pour ce qui est des investigations futures, une étape importante sera de mettre en commun le préamplificateur réalisé au LAL et notre intégrateur. Pour ce faire, un étage d'adaptation de type mode commun mode différentiel devra être mis au point.

De plus il faudra certainement diminuer la consommation de la chaîne de traitement et du convertisseur ce qui passera certainement par l'utilisation d'une tension d'alimentation de 3,3 V et la mise en oeuvre d'un système d'alimentation pulsée.

Enfin, la technologie CMOS 0,35 μm c35b4 sera utilisée pour nos futurs travaux.

Bibliographie

- [1] C. DE LA TAILLE A. KARAR. Silicon diode, readout and front-end electronics on the proposed W-Si electromagnetic calorimeter. LC-DET-2001-059 TESLA, Fevrier 2001.
- [2] Andrew M. ABO and Paul R. GRAY. A 1.5V, 10-bit, 14.3-Ms/s CMOS pipeline analog to digital converter. *IEEE journal of Solid State Circuits*, pages 599–606, May 1999.
- [3] G. LOEWet al.(eds.). *Report of the international linear collider technical review committee*, Octobre 2003.
- [4] R. BRINKMANN et al.(eds.). *Tesla technical design report part II*, Mars 2001.
- [5] Hae-Seung LEE Andrew N. KARANICOLAS and Kantilal L. BACRANIA. A 15-bit 1-Ms/s digitally self-calibrated pipeline ADC. *IEEE journal of Solid State Circuits*, pages 1207–1215, December 1993.
- [6] Jaun M. CARRILLO. Constant gm constant slew rate high bandwidth low voltage rail to rail CMOS input stage for VLSI cell libraries. *IEEE solid states circuits*, 38(8) :1364–1373, august 2003.
- [7] Alain CHAROY. *Compatibilité électromagnétique*. Dunod, 2000.
- [8] Thomas CHO. *Low power, low voltage analog to digital conversion techniques using pipelined architectures*. PhD thesis, University of California at Berkeley, 1995.
- [9] Thomas CHO and Paul R. GRAY. A 10-bit 20-Ms/s 35mW Pipelined ADC. *IEEE journal of Solid State Circuits*, pages 166–172, March 1995.
- [10] David W. CLINE. *Noise, Speed and Power trade-offs in pipelined analog to digital converters*. PhD thesis, University of California at Berkeley, November 1995.
- [11] William COLLERAN and A.A. ABIDI. A 10-bit 75-Mhz two stage pipelined bipolar A/D converter. *IEEE journal of Solid State Circuits*, pages 1187–1199, December 1993.
- [12] Paul A. CROLLA. A fast latching current comparator for 12-bit A/D applications. *IEEE journal of Solid State Circuits*, pages 1088–1094, December 1982.
- [13] C. DE LA TAILLE. *Electronique très bas bruit pour détecteur à liquide organométallique*. PhD thesis, Laboratoire de L’Accélérateur linéaire, 1989.
- [14] C. DE LA TAILLE. Front-end electronics in fast calorimetry. LAL/RT 00-03, Mai 2000.

- [15] Christophe DE LA TAILLE. Préamplificateurs et shapers. Ecole d'électronique analogique de Cargèse, Juin 1997.
- [16] A. GHARBIYA. Operational Amplifiers rail to rail input stages using complementary differential pairs. Technical report, Simon Fraser University, November 2002.
- [17] Paul R. GRAY and Robert G. MEYER. *Analysis and Design of analog integrated circuits*. John Wiley, 1993.
- [18] Alan B. GREBENE. *Bipolar and MOS analog integrated circuit design*. John Wiley, 1984.
- [19] Alan HASTINGS. *The art of analog layout*. Prentice Hall, 2001.
- [20] Bang-Sup SONG Hsin-Shu CHEN and Kantilal BACRANIA. A 14-bit 20 Ms/s CMOS Pipelined ADC. *IEEE journal of Solid State Circuits*, pages 997–1001, June 2001.
- [21] Samuel MANEN Julien FLEURY. Technical status of the W-Si project, April 2003. ECFA DESY Amsterdam, Linear Collider Workshop.
- [22] A. KAISER. *Introduction to CMOS analog integrated circuit*, Avril 1999.
- [23] Werner KURZBAUER. Bandwith requirements for dynamic range compression. Contribution to the second workshop on electronics for LHC experiments, September 1996.
- [24] M.F. LI. A compact power efficient 3V CMOS rail to rail input/output operational amplifier for VLSI cell libraries. *IEEE Solid states circuits*, 29(12) :1505–15014, december 1994.
- [25] M.F. LI. A low voltage CMOS OTA with rail to rail differential input range. *IEEE transactions on circuits and systems*, 47(1) :1–9, january 2000.
- [26] Samuel MANEN. Electronique front-end du calorimètre électromagnétique de FLC, June 2002. Journées VLSI de l'IN2P3.
- [27] Samuel MANEN. Front end electronics for a silicon tungsten calorimeter. In J.S Kang and S.K. Oh, editors, *International workshop on linear collider*. Korean Physical Society, August 2002.
- [28] Samuel MANEN. Front end electronics for a silicon tungsten calorimeter, April 2002. ECFA DESY Saint-Malo, Physics and Detectors for a 90 to 800 GeV Linear Collider.
- [29] Samuel MANEN. Front-end electronics dedicated to the next generation of linear collider calorimeter, September 2004. Workshop on electronics for LHC and future experiments.
- [30] Samuel MANEN. R&D de l'électronique front-end du calorimètre électromagnétique de FLC, June 2004. Journées VLSI de l'IN2P3.
- [31] V. RADEKA. Signal noise and resolution in position sensitive detectors. *IEEE Solid states circuits*, pages 51–64, january 1974.
- [32] J.P. RICHER R.L. CHASE, C. DE LA TAILLE and N. SEGUIN-MOREAU. A fast monolithic shaper for the Atlas electromagnetic calorimeter. Atlas Internal Note LARG-NO-10, Mars 1995.

- [33] C. ROCHE. Etude et réalisation d'un comparateur CMOS dans une technologie AMS $0,8\mu m$. Master's thesis, Université Blaise Pascal Clermont-Ferrand, 2002.
- [34] E. SANCHEZ-SINENCIO. Rail to rail op-amps. Technical report, Texas University, 2000.
- [35] R. VANDAËLE. Réalisation d'un ADC pipeline 10 bits CMOS $0,35\mu m$. Master's thesis, Université Blaise Pascal Clermont-Ferrand, 2003.
- [36] Rudy VAN DE PLASSCHE. *Integrated analog to digital and digital to analog converters*. Kluwer Academic, 1994.
- [37] E. VITTOZ. Conception de circuit spécifiques aux faibles tensions d'alimentation et/ou aux faibles consommations. Mars 2001.
- [38] M. WANG. Constant gm rail to rail CMOS op-amp input stage with overlapped transition regions. *IEEE solid states circuits*, 34(2) :148–157, february 1999.
- [39] D.Y. YANG and U.K. MOON. A 1.4-V 10-bit 25-Ms/s Pipelined ADC using opamp-reset switching technique. *IEEE journal of Solid State Circuits*, pages 1401–1405, August 2003.

Troisième partie

Annexes

Annexe A

Calcul des intégrales pour un filtrage CRRC²

$$\int_0^\infty \frac{1}{(1+x^2)^3} dx = \frac{3\pi}{16}$$

$$\int_0^\infty \frac{x}{(1+x^2)^3} dx = \frac{1}{4}$$

$$\int_0^\infty \frac{x^2}{(1+x^2)^3} dx = \frac{\pi}{16}$$

Annexe B

Calcul des intégrales pour l'intégrateur switché

Ces intégrales ont été calculées à l'aide du logiciel Mathematica.

$$\int_0^\infty \frac{1-\cos(w \times \Delta t)}{1+w^2 \times \tau^2} dw = \frac{\pi \times (1-e^{-\frac{\Delta t}{\tau}})}{2 \times \tau}$$

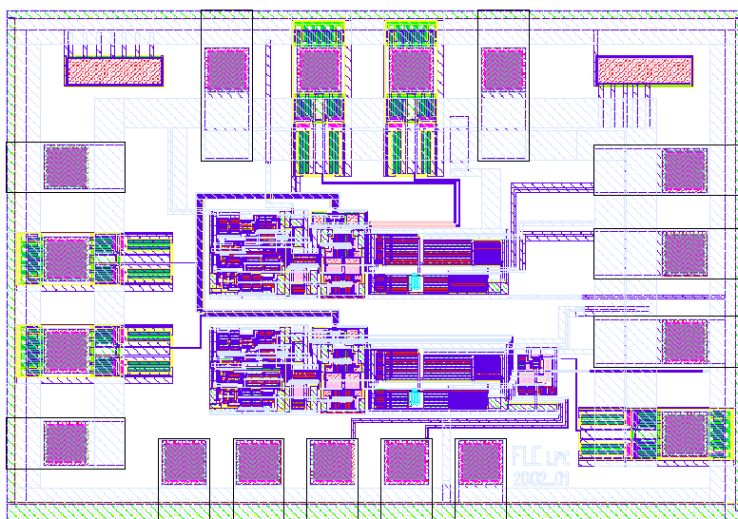
$$\int_0^\infty \frac{1-\cos(w \times \Delta t)}{(1+w^2 \times \tau^2) \times w^2} dw = \frac{\pi}{2} \times (\Delta t + \tau \times (e^{-\frac{\Delta t}{\tau}} - 1))$$

$$\begin{aligned} \int_0^\infty \frac{1-\cos(w \times \Delta t)}{(1+w^2 \times \tau^2) \times w} dw = & EulerGamma - \cosh\left(\frac{\Delta t}{\tau}\right) \times \coshIntegral\left(\frac{\Delta t}{\tau}\right) + \ln(\Delta t) \\ & + \ln\left(\frac{1}{\tau}\right) + \sinh\left(\frac{\Delta t}{\tau}\right) \times \sinhIntegral\left(\frac{\Delta t}{\tau}\right) \end{aligned}$$

Annexe C

L'intégrateur en $0,8\ \mu\text{m}$ BiCMOS

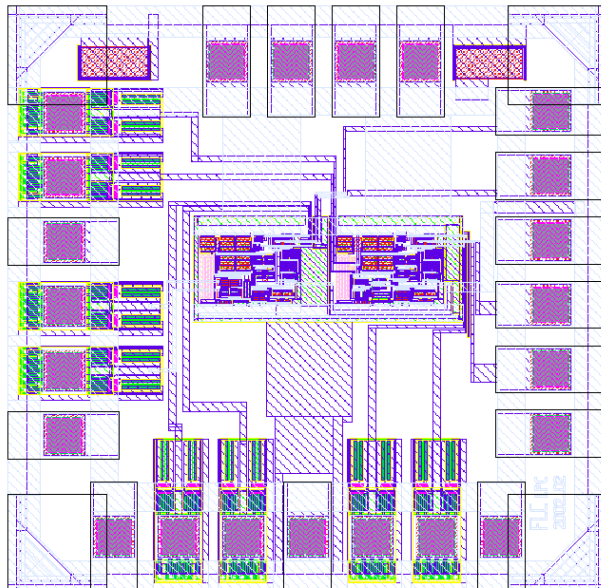
Cette puce développée en avril 2002 occupe une surface de $1,82\ \text{mm}^2$ ($X=1,62\ \text{mm}$ et $Y=1,12\ \text{mm}$). Elle comporte deux versions de l'intégrateur, une avec une résistance et l'autre avec un convoyeur de courant. Le type de boîtier utilisé est un jlcc28.



Annexe D

Les comparateurs en $0,8\ \mu\text{m}$ BiCMOS

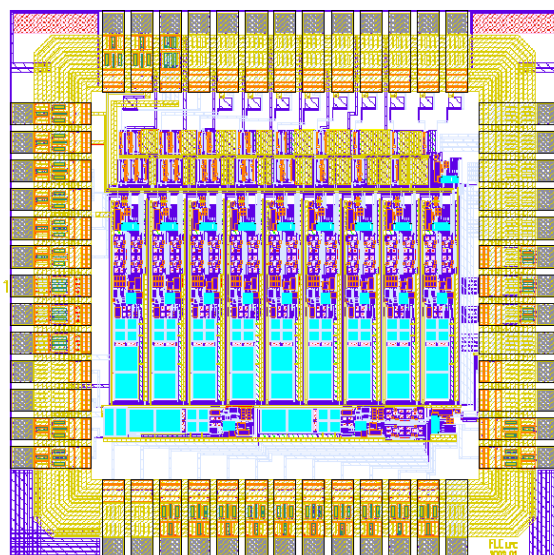
Cette puce développée en novembre 2002 occupe une surface de $1,9\ \text{mm}^2$ ($X=1,4\ \text{mm}$ et $Y=1,36\ \text{mm}$). Elle comporte deux versions de comparateur, une avec transistors d'entrées bipolaires et l'autre avec transistors mos. Le type de boîtier utilisé est un jlcc28.



Annexe E

La puce 0,35 μm CMOS CSI

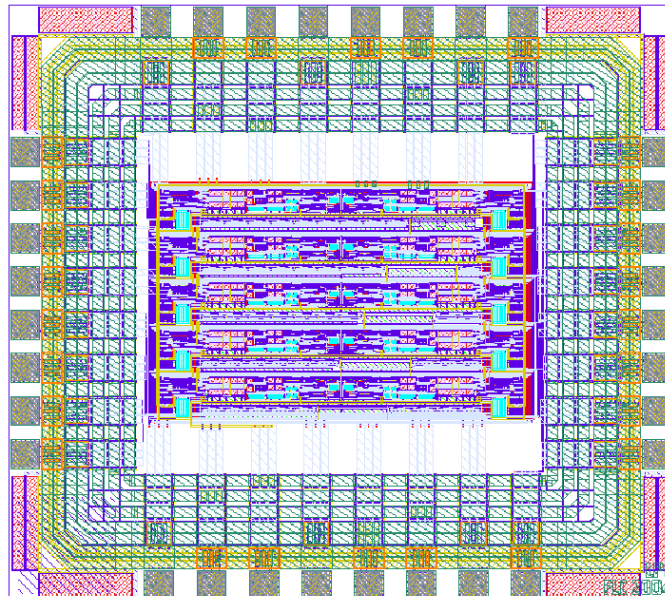
Cette puce développée en juin 2003 occupe une surface de 6,25 mm^2 (X=2,5 mm et Y=2,5 mm). Elle comporte un convertisseur analogique numérique pipeline 10 bits, un comparateur, un amplificateur en gain 2 et un amplificateur en gain 100. Le type de boîtier utilisé est un jlcc52.



Annexe F

L'ADC en $0,35\ \mu\text{m}$ CMOS C35B4

Cette puce développée en juin 2004 occupe une surface de $4,17\ \text{mm}^2$ ($X=2,17\ \text{mm}$ et $Y=1,92\ \text{mm}$). Elle comporte une version améliorée du convertisseur analogique numérique pipeline 10 bits. Le type de boîtier utilisé est un clcc32.



Résumé

Le futur accélérateur linéaire à électrons est un nouveau défi technologique pour la communauté scientifique de la physique des particules. Le cahier des charges de l'électronique de lecture du calorimètre électromagnétique comporte plusieurs points critiques. En effet, les contraintes liées au coût, 34 millions de diodes silicium de 1 cm^2 , à l'encombrement, $0,2\text{ cm}^3$ par puce de 128 voies, à la consommation, $< 5\text{ mW}$ par voie, et à la dynamique, rapport de 32.000 entre le plus grand signal et le bruit, impliquent la mise en œuvre d'une électronique intégrée. Nous proposons une solution de traitement de l'information qui associera sur la même surface de silicium la partie traitement analogique et la conversion analogique numérique.

Plusieurs prototypes de circuits réalisés dans une technologie CMOS $0,35\text{ }\mu\text{m}$ nous ont permis de valider des éléments de l'architecture globale du système. Cette électronique se composera d'un préamplificateur de charge suivi d'un système multi-gain avec suppression en ligne des événements non significatifs et d'un convertisseur analogique numérique sur 10 bits. La mise en forme composant le système multi-gain sera réalisée avec un intégrateur à remise à zéro. Les résultats obtenus, qui répondent aux spécifications en temps et en dynamique du cahier des charges, confirment, à présent, la nécessité de mettre en place un système d'alimentation pulsé.

Mots clés : convertisseur analogique numérique, mise en forme, intégrateur, bruit, préamplificateur, calorimètre électromagnétique

Abstract

Future linear collider is a new challenge for physics community. Several elements are very critical to develop the electronics of the electromagnetic calorimeter. However, integrated electronics is required due to cost constraint, 34 millions silicon diodes 1 cm^2 , integration constraint, 0.2 cm^3 per chip composed of 128 channels, consumption constraint, $< 5\text{ mW}$ per channel and dynamic constraint, 32,000 ratio between the higher signal and the noise. The electronics of the electromagnetic calorimeter will integrate in the same chip the analog part and the analog to digital converter.

Realization of prototypes in $0.35\text{ }\mu\text{m}$ CMOS technology have permitted to validate some elements of the global scheme. This electronics is made with a charge preamplifier followed by a multi-gain shaper with zero suppression and the analog to digital converter. The results obtained satisfy time and dynamic requirements but we must now put in place a pulsed power supply to respect constraint consumption.

Key words : analog to digital converter, shaper, noise, preamplifier, electromagnetic calorimeter